

INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS

2007 年版

無線通信のための高周波および
アナログ・ミックスドシグナル技術

THE ITRS IS DEVISED AND INTENDED FOR TECHNOLOGY ASSESSMENT ONLY AND IS
WITHOUT REGARD TO ANY COMMERCIAL CONSIDERATIONS PERTAINING TO INDIVIDUAL
PRODUCTS OR EQUIPMENT.

訳者まえがき

この文書は International Technology Roadmap for Semiconductors 2007 Edition(国際半導体技術ロードマップ 2007年版)の全訳である。

国際半導体技術ロードマップ(以下 ITRS と表記)は、米国、日本、欧州、韓国、台湾の世界5極の専門家によって編集・作成されている。日本では、半導体技術ロードマップ専門委員会(STRJ)が電子情報技術産業協会(JEITA)内に組織され、日本国内で半導体技術ロードマップについての調査活動を行うとともに、ITRS の編集・作成に貢献している。STRJ 内には 14 のワーキンググループ(WG: Working Group)、2 つのタスクフォース(設計タスクフォースと故障解析タスクフォース)、経済性検討小委員会が組織され、半導体集積回路メーカー、半導体製造装置メーカ、材料メーカ、大学、独立行政法人、コンソーシアムなどから専門家が集まり、それぞれの専門分野の調査活動を行っている。

ITRS は改版を重ねるごとにページ数が増え、2007年版は英文で約 1000 ページの文書となった。このような大部の文書を原文で読み通すことは専門家でも多大な労力を要するし、専門家であっても技術分野が少し異なると ITRS を理解することは必ずしも容易でない。STRJ の専門委員がその専門分野に応じて ITRS を訳出することで、ITRS をより親しみやすいものにすることができるのではないかと考えている。

なお、ITRS 2005 年版(英語の原書)までは、ウェブ公開とともに、印刷された本としても出版していたが、2007 年版以降、は印刷コストが大きくなってきたこと、ウェブ上で無料公開されている文書の出版版を本の形で有償頒布しても需要が限られることなどのため、印刷物の形での出版を断念し、ウェブ公開のみとなった。ITRS の読者の皆様にはご不便をおかけするが、ご理解願いたい。

訳文の作成は、STRJ 委員が分担してこれにあたり、JEITA の STRJ 担当事務局が全体の取りまとめを行った。訳語については、できる限り統一するように努めたが、なお、統一が取れていないところもある。また、訳者によって、文体が異なるところもある。ITRS の原文自体も多くは専門家による分担執筆であり、そもそも原文の文体も一定していないことも、ご理解いただきたい。誤訳、誤字脱字などが無いよう、細心の注意をしているが、短期間のうちに訳文を作成しているため、なお間違いが含まれていると思う。また、翻訳の過程で原文のニュアンスが変化してしまうこともある。訳文についてお気づきの点や、ITRS についてのご批判、ご意見などを事務局まで連絡いただければありがたい。

今回の訳出にあたっては、ITRS の本文の部分のみとし、ITRS 内の図や表の内部の英文は訳さないでそのまま掲載することとした。Executive Summary の冒頭の謝辞(Acknowledgments)に、ITRS の編集にかかわった方々の氏名が書かれているが、ここも訳出せず、原文のままの表記とした。原文中の略語については、できるかぎり、初出の際に、「ITRS(International Technology Roadmap for Semiconductors)」のように()内に原義を示すようにした。英文の略号をそのまま使わないで技術用語を訳出する際、原語を引用したほうが適切と考えられる場合には、「国際半導体技術ロードマップ(ITRS: International Technology Roadmap for Semiconductors、以下 ITRS と表記)」「国際半導体技術ロードマップ(International Technology Roadmap for Semiconductors)」のように和訳の後に()内に原語やそれに対応する略語を表示した。本書の巻末に用語集(Glossary)も参照されたい。原文の括弧()があつてそれを訳するために括弧を使った場合もあるが、前後の文脈の関係で判別できると思う。また訳注は「【訳者注:この部分は訳者の注釈であることを示す】」のように【】内に表記した。また[]内の部分は、訳者が原文にない言葉をおぎなった部分であることを示している。訳文は厳密な逐語訳ではなく、日本語として読んで意味が通りやすいように意識している。ITRS のウェブ版ではハイパーリンクが埋め込まれているが、今回の日本語版ではハイパーリンクは原則として削除した。読者の皆様には不便をおかけするが、ご理解いただければ幸いである。今回の日本語訳全体の編集は全体のページ数が膨大であるため、大変な作業となってしまいました。編集作業を担当いただいた、JEITA 内 STRJ 事務局の古川昇さん、恩田豊さん、近藤美智さん、明石理香さんに大変お世話になりました。厚くお礼申し上げます。

より多くの方に ITRS をご活用いただきたいとの思いから、今回の翻訳作業を進めました。今後とも ITRS と STRJ へのご理解とご支援をよろしくお願い申し上げます。

2008年5月

訳者一同を代表して

電子情報技術産業協会 (JEITA) 半導体部会 半導体技術ロードマップ専門委員会 (STRJ) 委員長

石内 秀美 (株式会社 東芝)

版權について

ORIGINAL (ENGLISH VERSION) COPYRIGHT © 2007 SEMICONDUCTOR INDUSTRY ASSOCIATION

All rights reserved

ITRS • 2706 Montopolis Drive • Austin, Texas 78741 • 512.356.7687 • <http://public.itrs.net>

Japanese translation by the JEITA, Japan Electronics and Information Technology Industries
Association under the license of the Semiconductor Industry Association

ー引用する場合の注意ー

原文(英語版)から引用する場合： 2007 ITRS page XX, Figure(Table) YY

この和訳から引用する場合： 2007 ITRS JEITA 和訳 XX 頁,図(表)YY

と明記してください。

問合せ先：

社団法人 電子情報技術産業協会

半導体技術ロードマップ専門委員会 事務局

Tel: 03-5275-7258 mailto: roadmap@jeita.or.jp

TABLE OF CONTENTS

無線通信のための高周波およびアナログ・ミックスドシグナル技術	1
概要	1
RFとAMS用CMOS	3
RFおよびAMS用バイポーラ素子	3
RFアナログ用のオンチップおよび混載用受動素子	4
電力増幅器 (0.8 GHz–10 GHz)	4
ミリ波(10 GHz–100 GHz)	5
困難な課題	5
RFおよびAMS用CMOS	5
RFおよびAMS用バイポーラデバイス	6
RFおよびアナログ用のオンチップと埋め込み受動素子	6
電力増幅器(PA)	7
ミリ波	8
技術要求	9
RFおよびAMS用CMOS	9
RFおよびAMS用バイポーラ素子	12
RFおよびアナログ用オンチップ/埋め込み受動素子	14
パワーアンプ (0.8 GHz – 10 GHz)	20
[1] 飽和PAEのスケールリングで決まる周波数帯ミリ波 (10 GHz – 100 GHz)	25
ミリ波 (10 GHz – 100 GHz)	26
解決策候補 (POTENTIAL SOLUTIONS)	31
RF及びAMS (アナログミックスドシグナル) CMOS	31
RF及びAMS (アナログミックスドシグナル) バイポーラ素子	32
RF、アナログ用のオンチップ、埋め込み受動素子	32
パワーアンプ	33
ミリ波	36
More than Moore	38
無線応用のためのRFMEMS	38

LIST OF FIGURES

Figure RFAMS1	Wireless Communication Application Spectrum	2
Figure RFAMS2	8–10 GHz Potential Solutions	35
Figure RFAMS3	10–100 GHz Potential Solutions	37

LIST OF TABLES

Table RFAMS1a	RF and Analog Mixed-Signal CMOS Technology Requirements—Near-term years.....	10
Table RFAMS1b	RF and Analog Mixed-Signal CMOS Technology Requirements—Long-term years	11
Table RFAMS2a	RF and Analog Mixed-Signal Bipolar Technology Requirements—Near-term years.....	13
Table RFAMS2b	RF and Analog Mixed-Signal Bipolar Technology Requirements—Long-term years	13
Table RFAMS3a	On-Chip Passives Technology Requirements—Near-term years.....	15
Table RFAMS3b	On-Chip Passives Technology Requirements—Long-term years.....	16
Table RFAMS4a	Embedded Passives Technology Requirements—Near-term years.....	18
Table RFAMS4b	Embedded Passives Technology Requirements—Long-term years.....	18
Table RFAMS5a	Power Amplifier Technology Requirements—Near-term years.....	21
Table RFAMS5b	Power Amplifier Technology Requirements—Long-term years	22
Table RFAMS6a	Base Station Devices Technology Requirements—Near-term years.....	24
Table RFAMS6b	Base Station Devices Technology Requirements—Long-term years	25
Table RFAMS7	Millimeter Wave 10 GHz–100 GHz Technology Requirements	27
Table RFAMS8	RF and Analog Mixed-Signal RFMEMS.....	41

無線通信のための高周波およびアナログ・ミックスドシグナル技術

概要

高周波およびアナログ・ミックスドシグナル(以下、RF(Radio Frequency) および AMS(Analog/Mixed-Signal))技術は、今日、多くの半導体製品を成功に導くために必要不可欠で重要な技術であり、急速に成長している無線通信市場を支えている。この技術は、多くの材料系に依存している。SiGeのようにCMOSプロセスと互換性を持つものがある一方、周期表のIII-V族に属する化合物半導体のように、CMOSプロセスとは互換性を持たないものもある。

RFおよびAMS技術によって可能となる無線応用が、ITRSロードマップにとっての新しいシステム牽引役になるものとの認識から、CMOSと互換性のあるプロセスにより作られた製品だけでなく、CMOSと互換性のないプロセスにより作られる製品向きの半導体市場の要求もこの章での検討に含めることとした。今日の新探求素子、とりわけこの2007ITRSロードマップに示されているMore than Moore (MtM) 技術に基づく素子が市場に投入されるようになるにつれて、後者のCMOS互換性のない素子が重要になってくる。

この2007年版ITRSのRFおよびAMSの章の目的は、以下のようなものである。

1. 0.8GHzから100GHzで動作させる、携帯電話、無線LAN(local area network)、無線PAN(personal area networks)、フェーズドアレイRFシステム、および、レーダーやイメージングといった、他の新規の無線通信のためRFおよびAMS技術に求められる課題を示すこと。
2. Si-CMOS、バイポーラCMOS(BiCMOS)およびSiGe-HBT(heterojunction bipolar transistors)と、III-V族化合物半導体デバイスを使い分ける分岐点について明らかにすること。

2007年のRFおよびAMSのロードマップは、2005年版ITRSの構成を引き継いでおり、無線通信のフロントエンド回路で使われている基本的な技術要素(CMOS、バイポーラ素子、および受動素子)に対して、整合性のある要求を示しながら、2003年版ITRSで示された応用面での要求から導かれたロードマップについても維持している。本2007年版RFおよびAMSの章には、5つの主要な節がある。RFとAMS用のCMOS、同じくバイポーラデバイス、RFアナログ用のオンチップと混載用の受動素子、および限定はされないが主として0.8GHzから10GHz帯の応用のためのパワーアンプ(PA)の4つの節、それから10GHzから100GHz帯のミリ波応用に関する1つの節である。なおここでの周波数は名目上、通信用搬送波の周波数を示したものであり、必ずしも、クロックや個々のデバイス・回路の動作周波数を示したのではない。ミリ波帯は30GHz以上とされているが、この節では10GHz以上まで範囲を広げた。10GHzから30GHz帯で用いる技術、技術的な要求や課題が、30GHzから100GHz帯と同様なためである。

上記5つの節に加えて、この章ではMore than Mooreの節を新しく設ける。ここでは、全てデジタル化された無線回路、あるいはスイッチ・フィルタ回路ネットワークと広帯域増幅器を組み合わせるハイブリッド方式によってマルチバンド・マルチモードの携帯機器応用を実現する解決策に関して議論する。このスイッチ・フィルタ回路ネットワークに必要な重要技術として、このロードマップではRFMEMSや埋め込み積層受動素子に対する要求も(受動素子の節に含まれるものではあるが)加えた。

無線通信向け技術の推進は、コスト、周波数帯域、消費電力、多機能性、小型化、量産性、そして標準規格や通信プロトコルなどに影響される。また、高周波技術はしばしば性能に余裕を持たせる必要が生じる。なぜなら、同時に対立あるいは競合する要求に対応する必要があるからである。電力付加効率(PAE)、高出力、低消費電流、低電圧などがそれである。通常Si素子では微細化によって高周波性能を向上させる。III-V族化合物半導体では材料技術、バンドギャップ制御技術によって伝導特性を向上させることで高周波性能を高める。これまで20年の間、III-V族化合物半導体技術は無線通信装置に向けた

新しいビジネス機会を獲得してきた。量産性が要求されるようになると、Si や最近では SiGe など IV 族半導体が、低コストで応分な性能が出せる市場では III-V 族を置き換えている。

このロードマップで応用先と考えられる無線通信回路は、AD/DA 変換器を含む AMS 回路、低雑音増幅器 LNA、周波数シンセサイザ、電圧制御発振器 VCO、ドライバーアンプ、フィルタを含む高周波送受信回路、そして電力増幅器 PA である。

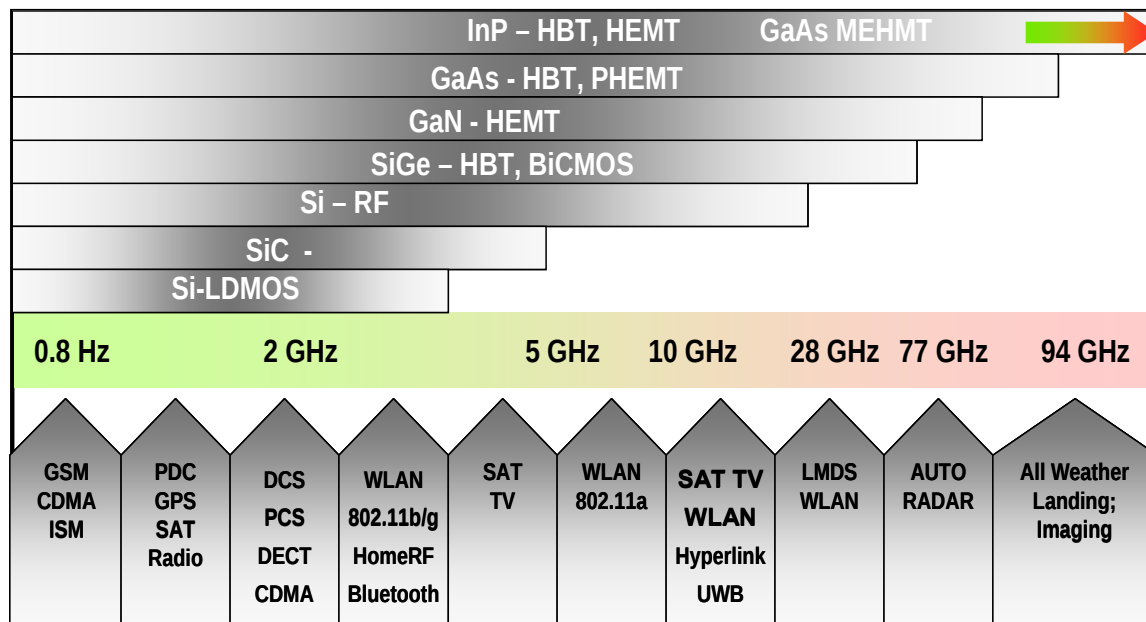


Figure RFAMS1

Wireless Communication Application Spectrum

過去 2～30 年にわたってミリ波帯は伝統的に III-V 族化合物半導体が支配してきた。しかし今日では、車載レーダーのように低コスト大量生産品への応用の動きと、100nm を下回る微細化に伴って、IV 族半導体 (Si および SiGe) が急速にかつて III-V 族が独占した周波数領域にまで進出している。

無線通信応用とそれぞれに適用可能な技術について、図 RFAMS1 に示す。2005 年ロードマップの同じ図と比べると、全ての技術がより高い周波数まで伸びている。しかし、GaN HEMT を除くと、各技術の相対的な位置関係は変わらない。

民生用の無線通信市場は非常にコストに敏感である。このため、民生用の RF と AMS 技術の技術ロードマップは一筋縄ではいかない。図 RFAMS1 の上段に示した高周波半導体および素子の各技術から選択する時、一つの主要基準がコストである。各技術の境界線は図に示されたようにはっきり決まるわけではなく、幅広くぼけており、時と共に変わりうる。

IV 族半導体 Si および SiGe と III-V 族半導体 GaAs との境界線は時と共に高周波側に移ってきており、そしてこれとは別の応用となるが GaAs と InP の境界線は低周波側に動く傾向がある。やがて応用分野によっては、MHEMT (metamorphic high electron mobility transistor) が、GaAs の PHEMT (pseudo-morphic high electron mobility transistor) や InP の HEMT (high electron mobility transistor) を置き換えるようになるであろう。実際、InP HEMT や GaAs MHEMT が THz 帯近く (このロードマップで扱う範囲を超えている) までの適用見込みを示している。一方、2GHz 近辺の無線基地局のようなインフラ用としては、広バンドギャップ半導体である GaN が現在では Si LDMOS (laterally diffused metal oxide semiconductor) と競っている。最近の研究論文では、今後 10 年経たずに GaN が 60GHz まで、多分さらには 94GHz 帯でも高出力と

高効率を実現できるとの推測を示している。一方で Si 系技術は、高出力・高利得あるいは低雑音が要求されて III-V 族を置き換えるのが困難とされているミリ波帯でも、大量生産・低コスト志向の市場には普及してゆくと言われる。反対に、少量生産の応用分野に対しては、Si 技術ではマスクセットなどの生産初期投資がかさむために、III-V 族が使われると思われる。

将来的には、図 RFAMS1 に示したいくつかの応用にとって、技術の境界線を定めるうえで、図の周波数軸は重要ではなくなるものと考えられる。これは、図に示したほとんどの技術が、非常に高い周波数でも動作するようになって考えられるためである。将来の境界線は、雑音指数、出力電力、電力付加効率や線形性のようなパラメータによって、むしろ決まるようになってゆくものと考えられる。携帯電話の送受信器、基地局の電力増幅器モジュール、またミリ波受信器といった種類の応用においては、2 つかそれ以上の技術が、共存するものと考えられる。現在、携帯電話の送受信器では、BiCMOS が CMOS に比べて生産量での市場占有率が大きい。しかし、CMOS の送受信器が主力となっている無線 LAN(WLAN)の通信市場が拡大すると、将来的には逆転するものと考えられる。基地局の電力増幅器モジュールにおいては、現在、GaAs の HBT と LDMOS が、GaAs の PHEMT や MESFET(metal semiconductor field effect transistor)に比べ、大きな市場占有率を持っている。しかし、GaN 技術が発達してくると、置き換えられる可能性がある。将来においては、システムがより高度な機能を要求してくることから、より高い集積能力をもったシリコンを基盤とした技術の重要性が増してくるものと考えられる。現在、ミリ波帯受信器では、GaAs の PHEMT や InP の HEMT が使われている。将来は、SiGe HBT、GaAs MHEMT、および GaN HEMT が競合することになるであろう。

RF と AMS 用 CMOS

この節では、低待機電力版(LSTP) CMOS と、高精度アナログ応用やオフチップで RF 信号を駆動するための高耐圧素子の RF アナログ特性について示す。RF と AMS のロードマップでは、携帯機器応用では高性能版(HP)や低動作電力版(LOP) CMOS に比べて、より低い待機電力とより高いバイアス電圧が要求されるという理由で、LSTP 版のロードマップを選んだ。このロードマップの素子は LSTP と同一であるが、RF と AMS の設計を支援する高周波モデルや設計ツールの開発期間を考慮して 1 年遅れにしてある。ここに示す素子は、送受信器、周波数シンセサイザや低雑音増幅器 LNA の回路で使われるものである。アナログ動作の速度は、主として必要な RF 性能によって決まってくるが、アナログ高精度 MOS にとってはアナログ特有の要求がある。そこで本節では、アナログ高精度 MOS デバイスに関して、高 S/N 比と低歪を達成するため、比較的高い電圧でのスケールアップについても示す。これらの素子は通常の CMOS 技術では入出力(I/O)用として用意されているものを使うことが出来る。

この節では、ミリ波用素子の表があり、論理回路用高性能版(HP)ロードマップの 2 年遅れとして RF 特性について示されている。ミリ波応用の設計に必要な高周波モデルや設計ツールの開発期間を見込んだためである。HP 版を選んだのは、本来的に最も高性能であるところの可能な限りスケールアップした CMOS を設計者がまずは選択するだろうとの想定による。設計者が(経験で)自信を深め、携帯応用が立ち上がって低待機電力が要求されるようになると、LSTP 版のロードマップが適用されるようになる。短期の表への記載事項はミリ波の節の表にも同じく示されている。

RF および AMS 用バイポーラ素子

この節では、バイポーラ素子性能への要求について示す。バイポーラ素子性能の向上は 2 つの異なる応用分野によって牽引されている。一つはミリ波応用で超高速性を要求し、もう一つは電力増幅器で、こちらは速度と電圧駆動力の両方をよりバランスよく要求する。0.8GHz から 10GHz の無線送受信器応用は、今でもバイポーラや BiCMOS 技術にとって最も大きな市場であるが、この周波数帯ではすでに既存の性能水準で十分であるために、もはや性能推進力とはなっていない。

上記 2 つの性能推進力を反映させて、ロードマップでは、2 つの主要素子である高速用と PA 用の NPN 素子、それから派生した素子である高耐圧 NPN 素子について示してある。高速用技術はミリ波応用

の要求、PA 用技術は電力増幅器応用からの要求によって牽引される。高耐圧素子は通常、高速用素子と同じ技術でコレクタを修正して用いる。

RF アナログ用のオンチップおよび混載用受動素子

この節では無線通信用 RF および AMS 回路で使われるオンチップ受動素子および受動素子部品、1) 容量素子、2) 抵抗素子、3) インダクタ、4) 可変容量素子、5) 電力増幅器用受動素子について示す。デジタル CMOS 回路と違い、多くの RF および AMS 回路の性能は、主として受動素子の性能により決まる。電圧および温度係数は、容量素子や抵抗素子の主要パラメータである。また容量素子や抵抗素子は、クロック周波数 0.8GHz 以下の AD(analog-to-digital)変換や DA(digital-to-analog)変換のような AMS 回路でも使われている。

2007 年版ロードマップでは、この受動素子の節は拡張して混載用受動素子にも触れる。これらは、RF フロントエンドモジュールへの応用が進むようになり、また特に無線通信市場が複数の通信規格に対応する端末に対応するにつれて、広がってきているものである。この節では、受動素子モジュールを形成するパッケージ基板に搭載する単体部品あるいはチップについて示す。基板は、プリント基板(PCB)のような有機材料のものや、Si やセラミックのような無機材料で、多層基板あるいは高密度配線技術(HDI)として知られる厚膜ないしは薄膜プロセスによるものがある。

電力増幅器 (0.8 GHZ–10 GHZ)

本節では、端末の電力増幅器用として III-V 族 HBT および PHEMT、Si-MOSFET と SiGe HBT についてとりあげる。また基地局電力増幅器向けの高耐圧素子として、Si LDMOS、および GaAs、SiC、GaN の FET についても述べる。技術を牽引する主要項目は、部品の集積化とコストである。

携帯端末用電力増幅器(PA)

無線通信網を構成するためには、固定および移動体の送受信器が必要である。携帯電話や無線機能付きの個人用情報端末(PDA)が最も普及しているため、これら携帯機器用の電力増幅器(PA)について最初に述べる。携帯機器用の PA は、以前から PA モジュール、すなわち電力制御チップ、RF 整合回路、RF スイッチ、PA チップを含む多機能部品で、1~4W 程度の RF 電力をアンテナに供給できる。電力制御回路には(オンチップバイアス回路がない場合)Si CMOS か BiCMOS が通常使われ、さらにこれにはスイッチ制御機能を含めることが出来る。RF 整合回路は個別部品あるいは集積受動部品(IPD)で構成される。IPD とは受動素子のみを組み合わせで作られるチップのことである。これらの部品は、伝送線あるいは多層基板に埋め込まれた受動部品と組み合わせで整合回路を構成する。RF スイッチには GaAs PHEMT が最も良く使われるが、ごく最近になってシリコン・オン・サファイア(SOS)も使われるようになった。PA チップには GaAs HBT、Si-LDMOS、SiGe HBT、GaAs PHEMT が使われている。同一チップには、複数の部品を集積することもできる。最近の傾向としては、PA 制御とスイッチの集積、あるいはスイッチと集積受動部品 IPD との組合せがある。異なる規格の PA を一つのチップにすることは、部品点数とワイヤボンディング本数を削減できるため、モジュールのコスト低減が期待される。このような組合せ方は、今後、PA モジュールが対応すべき周波数帯や変調方式の数が増えるにつれて、より広まってゆくと思われる。それぞれの機能に対してどの技術を適用するかは、RF 性能仕様、ダイサイズ、入手性、そして最も重要な製造コストによって決まる。

基地局用電力増幅器

携帯機器と有線通信網とをつなぐ基地局にも電力増幅器がある。基地局の送信器は、必要なエリアをカバーするために相当に高い(600W)高周波出力を得ることが必要である。一つの基地局には、そのエリアの全ての通信トラフィックに対応するために、十台程度の 600W 電力増幅器が必要である。この電力増

幅器の心臓部は、所望の出力を発生する最終段の高周波電力増幅素子である。高出力を得るためにいくつかの半導体素子を並列に接続することがよく行われている。900MHz と 1900MHz 帯の携帯電話用には、Si-LDMOS が低コストで技術的にも成熟しているために現在よく用いられている。LDMOS の典型的動作電圧は 28V であるが、出力を増大させるために 32V に上げて動作させることも出来る。48V 動作の LDMOS も出てきている。GaAs トランジスタもこの周波数帯で用いられており、さらに 3500MHz 帯以上の通信網が作られるようになると GaAs の方がより多く用いられるようになると予測される。GaAs 素子は Si-LDMOS より高価ではあるが、より高い効率と電力密度が得られている。電力密度が高いことは、PA 素子と接続する RF 整合回路を単純にできるため重要である。整合回路が単純な方が損失も小さくできるためである。GaN は GaAs よりも大幅な性能向上を示す素子技術として登場を控えている状況にある。GaN 素子の電力密度は Si-LDMOS や GaAs トランジスタの 4 倍にもなる。この非常に大きい電力密度向上は、GaN 素子の、より高い耐圧や電流密度によりもたらされるものである。SiC 素子は、Si LDMOS、GaAs や GaN 素子と比べて実質劣るとの判断により、検討対象から外した。

ミリ波(10 GHz–100 GHz)

ここ 10 年ほどで、ミリ波帯に対する商業的関心が着実に高まっている。Si 系技術が支配している低い周波数帯と違って、多数の半導体素子技術が、それぞれ異なるコスト、性能、入手性のトレードオフのある市場に向けて覇を競っている。現在では、素子や集積回路には 4 種類の基板、GaAs、InP、SiC、Si が用いられている。10 年前には III-V 族化合物半導体がミリ波帯を独占していたが、この領域にも Si 系デバイスが、主にコストと集積化の利点によって徐々に入り込んできた。将来的には、上記以外の化合物半導体、さらには(ダイヤモンドも含む)炭素系半導体の開発が進むかもしれない。(新探求素子を参照のこと)

本節では、短期のミリ波応用製品におけるトランジスタ技術について触れる。この分野は急速に拡張しており、また性能も論理集積回路のようにリソグラフィー寸法に強く依存しているわけではないため、長期予測については故意に触れないこととする。化合物半導体は Si 系デバイスの長期にわたる遺産を活用できるわけでも、ムーアの法則に従うわけでもない。ミリ波帯の市場と製品が広まり、技術牽引力となってくれば、ミリ波帯の長期予測が将来の ITRS ロードマップに載るだろうと思われる。

以下の技術 (GaAs PHEMT、GaAs MHEMT、InP HEMT、GaN HEMT、InP HBT、SiGe HBT、RF CMOS) による、低雑音トランジスタと電力増幅用トランジスタについて本節で述べる。SiGe-HBT と RF CMOS を除いて、どれも III 族 V 族の 3-4 元化合物をエピ成長で積層した構造を用いている。積層構造の材料選定、膜厚、不純物濃度の選択によってデバイス特性が大きく変わるため、デバイス特性は極めて多様である。出力電力、効率、破壊耐量、雑音指数(NF)、直線性、その他の特性など、両立しない要素が多くある。こういう二律背反の結果として言えることは、ミリ波帯の性能向上はリソグラフィーのロードマップで牽引されているのではないことである。描画寸法の微細化は確かに遮断周波数(F_t)や最大発振周波数(F_{max})のような高周波性能指標を向上させるが、それよりも、矛盾する設計要素の適切な組合せやエピ成長層組合せによるバンドギャップ制御技術の最適化が微細化と呼応しながら、性能向上を牽引しているということである。

困難な課題

RF および AMS 用 CMOS

スケーリング則に基づく LSTP ロードマップに沿って基本素子のデジタル性能が着実に向上することは、RF およびアナログ性能にもたゆまぬ向上をもたらしている。素子寸法が縮小するに伴い、デバイスへのローカルインターコネクトにおける寄生インピーダンスを決める要因がますます複雑になるため、物理設計上の新たなトレードオフに対する最適化が必要になってくるであろう。さらに、デジタル回路に求められる低待

機電力化は、ゲート長短縮に付随してゲート酸化膜厚を薄くすることを難しくし、従来型の素子構造においてトランジスタのチャネル不純物濃度をますます高めざるを得ない。このような傾向は、電圧利得を低下させ、隣接トランジスタ間の閾値(ペア)ミスマッチを増大させることになる。高誘電率ゲート絶縁膜、チャネルへひずみを印加する構造や、金属ゲート電極などの新材料技術の導入は、閾値や電流のミスマッチ、1/f 雑音に対する予測をより不確実なものにしている。ゆくゆくは、ダブルゲートの完全空乏型 SOI(Silicon On Insulator)のようなデバイス構造への抜本的な変更が、継続的に性能や集積度を向上させるために必要となるだろう。完全空乏型 SOI では素子のボディ部へのコンタクトをとらないため、電気特性は従来の CMOS のものと根本的に異なっている。この従来 CMOS と異なる特性は、回路設計者にとって利点でもありと同時に克服すべき障害でもある。利点となりうるのは高い電圧利得や低いドレイン-ボディ間容量であり、逆に、高バイアス条件においてはアバランシェ現象によるチャネルへの電荷蓄積が素子特性を損ねることになる。結局のところは、着実にアナログの供給電圧を下げていくことが回路設計にとって重大な課題であり、従来通りの高精度アナログ/RFドライバ用デバイス、抵抗、バラクタを製造するためにはチップコストの増加を伴う個別のプロセス工程追加が必要となる可能性がある。

RF および AMS 用バイポーラデバイス

高速用デバイスにとって第一の課題は、製造時における制御性とパンチスルーに対するマージンを確保したまま、縦方向プロファイルを積極的に制御することで F_t を向上し続けることである。これに伴って、第二の課題は、より大きな電流密度と電力密度を扱えるようにすることである。PA 用デバイスにとっての主要な課題は、代替技術と同等以上の性能で電圧振幅や電力密度に耐えうる破壊電圧耐性と F_t/F_{max} のトレードオフを改善することである。

RF およびアナログ用のオンチップと埋め込み受動素子

オンチップ受動素子

受動素子としては、抵抗、キャパシタ、インダクタ、バラクタ、トランス、伝送線路が挙げられる。これらの素子は、低雑音増幅器(LNA)、電圧制御発振器(VCO)、ミキサ、電力増幅器(PA)などの高周波集積回路(RFIC)において、インピーダンス整合、共振回路、フィルタ、バイアス回路に頻繁に用いられている。高周波回路ではあっても 10GHz 以下の製品においては、大抵の場合で RF CMOS トランジスタの性能は十分なものである。従って、受動素子の RF 性能は常に回路性能を決める重要な鍵となる。例えば、標準的な CMOS 技術を用いて RF トランシーバーに VCO を集積することは、多くの重要なパラメータを考慮する必要があるため、通常、設計が大変困難となる。重要なパラメータの例としては、広い周波数制御帯域、低消費電力、低位相雑音が挙げられ、これら全てのパラメータは、主として VCO 回路に含まれる受動素子によって決まってくる。(System Drivers の章のアナログミックスドシグナル(AMS)の節も参照のこと)

民生用を中心に、RF CMOS の高性能化と低コスト化を進めるため、SoC(System on Chip)の分野で RF(高周波)チップへの受動素子集積化が進んでいる。標準 CMOS プロセスに受動素子を集積するには、フォトリソグラフィやプロセス工程の追加が必要であり、より良い受動素子の性能を追及すると新材料の導入が必要な場合も生じてきている。従って、往々にして製造コストと素子性能はトレードオフの関係になる。とは言っても、キャパシタやインダクタは能動素子に比べてはるかに多くの面積を占めるため、このトレードオフ関係は応用分野によって異なる複雑な話となっている。よって、プロセス工程の増加や複雑さは増すけれども、キャパシタの容量密度をあげてチップ面積を削減するといったような最適化のやりかたも考えてゆく必要がある。ロードマップで求められる長期的課題としては、高い Q をもつインダクタや高容量密度の MIM(金属-絶縁体-金属)キャパシタを低コストで実現できるような新材料の導入などが挙げられる。

埋め込み受動素子

パッケージング(実装)とアセンブリ(組立)は埋め込み受動素子にとって無視できない課題であり、よく知られた他の 2 つは検査とチューニングである。埋め込みコンポーネントに対する要求は、表面実装コンポ

ーメントに対してのものと同様であるが、埋め込みコンポーネントや I/O インターコネクトのプロセス技術やそのプロセス互換性は表面実装のそれとは異なっている。埋め込み受動素子技術は、キャパシタに用いる高誘電率(high-k)誘電体や、抵抗に用いる抵抗性フィルムやペースト、インダクタに用いる高透磁率材料といった材料とかかわってくる。新たな材料には、さらに特別のプロセスを必要とするかもしれない。埋め込み受動素子を用いる場合の多様な選択肢は、複雑さやコストをますます増大させる。一般的に、シリコン基板上に集積された受動素子(IPD)には最小のサイズと高い正確性が求められる。しかしながら、この素子は基板損失が大きく、コストが高くなってしまうのが不利な点である。セラミック基板の場合は、損失が低く、高い Q の受動素子が可能となるが、シンタリング(焼結)中の変形や劣化がミスマッチや回路性能の劣化を引き起こす。PCB のような有機基板は最も低コストで様々なアプリケーションに応用できるが、損失や耐久性、サイズの問題があり、いまだ大量生産されていない。特にプロセス耐久性および寄生成分の影響に対しての正確なモデルや CAD ツールが十分でないことも、これら素子を RF や AMS 回路に用いる際の課題となっている。

電力増幅器(PA)

携帯電話用 PA

携帯通信用の PA デバイス、モジュールが直面している主要な課題は、コストを増加させることなく厳しい線形性の仕様を満たした上で、動作周波数や変調方式に対応する必要があることである。携帯機器には、コスト増加を抑えつつ機能性が良くなることが期待されており、PA モジュールの開発にはこれらの相反する要求が大きな課題となる。以下に、テクノロジーの選択に影響し得る近年の要求を列記する。

CDMA、PCS、WCDMA などの規格に用いられる線形 PA には、中電力(16 dBm)での効率が求められる。これに対する最近の主な解決策の 2 つは、第 1 にバランスをとった設計(新しいプロセス開発を伴わない)であり、第 2 に、一つあるいは全ての PA 段をバイパスするためのオンチップ SW を用いることである(これは同じチップ上に RF FET と HBT を集積することになる)。

もう一つの課題としては、ロード(負荷)の感度が挙げられる。電話機メーカは PA ベンダに、PA モジュールにおける PA からみたロードに対する感度が低いことを要求している。以前では主に、アイソレータをはずした際に PA がある電圧定在波比(VSWR)に耐えられれば良かったが、現在では同じ VSWR 条件で雑音指数(NF)、線形性、電力効率(PAE)といったような性能を満たすことが求められている。これに対する解決手段は、用いる技術によって様々に異なると思われる。

PA ユーザーからはバイアス回路に対しても洗練させることが求められている。例えば、ピンやモードの制御を可能にする回路や、温度補正、自動バイアス制御(PA が電力を検知してバイアスを調整する—すなわち PA モジュールにパワーディテクタやカプラを集積する)、参照する供給電圧を必要としない回路、などである。この要求に応えるためには、NPN 型トランジスタのみの構成では困難であり、高性能のアナログ FET との BiFET 集積化が望まれる。また、この分野では、RF 性能は劣るものの BiCMOS による GaAs HBT の置き換えも進みつつある。GSM 方式においては一般的に EDGE 用 PA も必要となっており、線形 PA と飽和 PA の統合が求められてくるであろう。すなわち、PA 設計者は飽和 PA において線形動作も補償しなくてはならなくなる。

すべての携帯用 PA にとってのもう一つの課題は、バッテリー技術の変遷である。近い将来、バッテリー電圧は下がってゆくであろうし、PA ベンダに大きな課題をもたらすと考えられる。これは、システムレベルで何か大きな変更をもたらすかもしれない。PA に求められる動作範囲は増加しており、従来の 4-5 V に加えて、2.4V 程度の低電圧動作も必要となってきた。もし要求される出力電力が変わらないままであるなら、負荷線を変えるような動作方式を採用する必要があるであろう(電話機メーカによってもたらされるか、PA サプライヤによってもたらされるかはともかく、技術の選択には影響すると考えられる)。もう一つの解決策としては、PA に用いられるトランジスタをより高電流密度で動作させることであり、どちらの技術を採用することになるかの分岐点となるであろう。

厳しいコストへの要求に加えて SiP 技術を用いようとしている傾向があり、技術予測は困難になってきている。

基地局用 PA

基地局用半導体技術にとって最大の課題の一つは、絶え間ない価格圧力を受けながらの性能向上である。基地局用市場の 95%を占める LDMOS 技術は、1 ワット当たりのコストが 1 ドル超から 30 セント以下へとまで下がってきており、さらには 2013 年には 1 ワット当たり 10 セントまでの低コスト化が見込まれている。パッケージのプラスチック化はコンポーネントの低コスト化を可能にするが、セラミックパッケージの場合よりもチップコストの割合が高くなるため、LDMOS チップ自体の低コスト化も必要性が増すであろう。

LDMOS 基地局技術の最大の課題は、デバイス効率を維持または向上させた上での高周波化である。この 7 年間、ゲート長を 2000 年の 0.8 μm から 2006 年の 0.4 μm にまで短縮しデバイス設計を改良することで、LDMOS 性能は着実に向上してきた。LDMOS 製品の領域は 3.7GHz までも含むまでに拡大してきている。この周波数帯域はかつては GaAs 製品によって占められていた領域であり、より高い周波数へ拡大しつづけることが LDMOS の課題である。

増幅効率の向上もまた基地局技術にとって重要である。これに対する手段として、主にはより高効率な PA 設計、すなわち、ドハティ、ドレイン変調、高効率クラス動作 (Class D, E, S)、などである。しかしながら、これらの手法は厳しい線形性の要求とシステムコストの増加に向き合わなければならなくなる。アダプティブプリディストーション方式(出力信号の一部を入力へフィードバック)は線形性を改善させることができ、プリディストータの順応する動作は熱時定数やデバイス性能が時間と共に変動する問題を軽減してくれる。GaN は LDMOS よりこのような高効率 PA 設計に適していると思われる。

最後に、LDMOS 技術は高集積化の傾向がある。LDMOS 技術は一般的にアクセプタが高ドープされた(P+)基板を用いている。P+基板は LDMOS ウェハに集積された受動素子の周波数性能を制限してしまう。このため、一般的に用いられるドープされた基板の静電効果を軽減する手段がいくつか検討されている。

ミリ波

化合物半導体技術はシリコン技術と多くの類似点を持っているが、明確に異なる点も多くある。III-V 族化合物半導体技術は、製造装置や原料化学物質の進歩の恩恵を受けてきてはいるが、これらの開発はシリコン産業を第一に考慮されているため、必ずしも化合物半導体プロセスに最適化されたものではない。加えて、パワーデバイス用途では放熱性を高めるため 0.002 インチまでウェハを薄片化する必要があることや、GaAs や InP の割れやすい性質など、歩留まり低下の要因となることもある。

4 インチ径の工場もまだあるが、6 インチ径の半絶縁性 GaAs 基板がデファクト・スタンダードとなっている。スケールメリットやチップコストの面とともに対応設備が供給されることによって、大口径化へと進んでゆくものと考えられる。GaAs のウェハ径はシリコンの 2 世代遅れ、InP や SiC は、GaAs よりさらに 1、2 世代遅れ、といった傾向にある。化合物半導体産業が製造装置進歩の恩恵を受けてゆくためには、ウェハ径の進歩をシリコンに遅れさせないことが重要である。このような継続的なウェハ径増大は、とりわけ、改善しつつあるも現在高い欠陥密度に苦しんでいる SiC にとって重要である。今日でも、半絶縁性 GaN 基板は量産可能とはなっていない、多くの GaN デバイスは SiC 基板上にエピタキシャル成長されている。GaN が商業ベースに乗るためには、大きな技術的ブレークスルーが必要となるであろう。また、SiGe HBT および RF-CMOS がミリ波帯に進出するつれ、高抵抗 Si 基板の進歩も求められることとなる。

III-V 族化合物半導体特有のものを含め、デバイスの技術課題には以下のようなものが挙げられる。

- ・ミリ波用マイクロストリップ回路中において、低インダクタンスでグラウンド(接地)をとるための基板ビア
- ・ウェハ薄片化などの放熱技術、および寄生成分の小さいエアブリッジインターコネクト技術
- ・パワーデバイス用の高い破壊電圧
- ・酸化膜パッシベーション

これらの課題は、GaAs 用としてはほとんど解決されてきているが、InP、SiC、GaN などの新たな III-V 族化合物半導体技術にも適用できるようにする必要がある。高出力 III-V 族化合物半導体デバイスにとっては、放熱が重大な課題となる。これは、GaN のような高電力密度デバイスにとって特に重要である。

技術要求

2007 年度版 ITRS の技術要求テーブルにおける主な変更点を、5 つのセクションそれぞれについて以下に示す。

RF および AMS 用 CMOS

- ・引き続き LSTP CMOS のロードマップと 1 年遅れで追従。Ft/Fmax は現在の傾向に沿って調整した。
- ・高精度アナログ CMOS ロードマップは変更なし
- ・ミリ波向けの CMOS 要求を追加、これは HP CMOS ロードマップに 2 年遅れで追従。

RF パラメータ(24GHz, 60GHz における Ft/Fmax, NF)追加。

ミックスドシグナル回路を伴ったロジックの、高集積化および高性能化をサポートする CMOS ロードマップのトレンドが維持されてきた。電力と面積効率への要求が日増しに増加しており、引き続き 1/f 雑音、受動素子の集積密度、デバイスのマッチングに焦点があたるのは避けられない。集積化の水準が高度になるに伴い、アナログデバイスのモデリング、静電気放電(ESD)対策、寄生インピーダンスを最小にする物理設計の最適化が新たに問題となってくる。

性能とコストの両立を考慮すると、特定の SoC アーキテクチャに製造技術を適合させるため、引き続きプロセスのモジュール化が進むであろう。しかしながら、ミックスドシグナルトランジスタに対する厳しい要求により、集積化の目的を達成するためのプロセスは複雑にならざるを得ない。ミックスドシグナル分野においては、バイポーラや Si または SiGe ベースの BiCMOS のプロセスが犠牲になるとしても、CMOS 技術の重要性は増してきている。日における技術要求は、RF トランシーバにおける低消費電力、低雑音、低コストの要求にこたえるべく出来上がってきたものである。近い将来には、ソフトウェア無線における RF トランシーバの設定再構成機能や、より高いレベルでの波形合成を可能とするための技術要求へと変わってゆくであろう(More-than-Moore discussion の項を参照のこと)。

Table RFAMS1a

RF and Analog Mixed-Signal CMOS Technology Requirements—Near-term years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ Pitch (nm) (contacted)	65	57	50	45	40	35	32	28	25
Performance RF/Analog [1]									
Supply voltage (V) [2]	1.2	1.1	1.1	1	1	1	1	0.95	0.85
T _{ox} (nm) [2]	2	1.9	1.6	1.5	1.4	1.3	1.2	1.1	1.2
Gate Length (nm) [2]	53	45	37	32	28	25	22	20	18
g _m /g _{ds} at 5·L _{min-digital} [3]	32	30	30	30	30	30	30	30	30
1/f-noise (μV ² ·μm ² /Hz) [4]	160	140	100	90	80	70	60	50	60
σ V _{th} matching (mV·μm) [5]	6	6	5	5	5	5	5	5	5
I _{ds} (μA/μm) [6]	13	11	9	8	7	6	6	5	4
Peak F _t (GHz) [7]	170	200	240	280	320	360	400	440	490
Peak F _{max} (GHz) [8]	200	240	290	340	390	440	510	560	630
NF _{min} (dB) [9]	0.25	0.22	0.2	<0.2	<0.2	<0.2	<0.2	<0.2	<0.2
Precision Analog/RF Driver [1]									
Supply voltage (V)	2.5	2.5	2.5	1.8	1.8	1.8	1.8	1.8	1.8
T _{ox} (nm) [10]	5	5	5	3	3	3	3	3	3
Gate Length (nm) [10]	250	250	250	180	180	180	180	180	180
g _m /g _{ds} at 10·L _{min-digital} [11]	220	220	220	160	160	160	160	160	160
1/f Noise (μV ² ·μm ² /Hz) [4]	500	500	500	180	180	180	180	180	180
σ V _{th} matching (mV·μm) [5]	9	9	9	6	6	6	6	6	6
Peak F _t (GHz) [7]	40	40	40	50	50	50	50	50	50
Peak F _{max} (GHz) [8]	70	70	70	90	90	90	90	90	90
									switch to DG device
CMOS NFET [1 HP CMOS lag 2 yrs]									
V _{dd} : Power Supply Voltage (V) [13]	1.1	1.1	1.1	1	1	1	0.95	0.9	0.9
EOT: Equivalent Oxide Thickness (Å) [13]	12	11	11	9	7.5	6.5	5.5	5	6
L _g : Physical L _{gate} for High Performance logic (nm) [13]	32	28	25	22	20	18	16	14	13
Peak F _t (GHz) [7]	280	320	360	400	440	490	550	630	670
Peak F _{max} (GHz) [8]	340	390	440	510	560	630	710	820	880
NF _{min} (dB) at 24GHz[14]	2	1.8	1.6	1.4	1.3	1.2	1.1	1	0.9
NF _{min} (dB) at 60GHz[14]	5.1	4.5	4.0	3.6	3.3	3.0	2.7	2.4	2.3
									switch to DG device

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

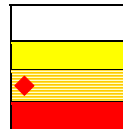


Table RFAMS1b RF and Analog Mixed-Signal CMOS Technology Requirements—Long-term years

Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM ½ Pitch (nm) (contacted)	22	20	18	16	14	13	11
Performance RF/Analog [1]							
Supply voltage (V) [2]	0.8	0.8	0.8	0.8	0.75	0.75	0.7
T _{ox} (nm) [2]	1.1	1.1	1	1	0.9	0.9	0.8
Gate Length (nm) [2]	16	14	13	12	11	10	10
g _m /g _{ds} at 5·L _{min-digital} [3]	30	30	30	30	30	30	30
1/f-noise (μV ² ·μm ² /Hz) [4]	50	50	40	40	30	30	30
σ V _{th} matching (mV·μm) [5]	4	4	4	4	3	4	5
I _{ds} (μA/μm) [6]	4	3	3	3	2	2	2
Peak F _t (GHz) [7]	550	630	670	730	790	870	870
Peak F _{max} (GHz) [8]	710	820	880	960	1050	1160	1160
NF _{min} (dB) [9]	<0.2	<0.2	<0.2	<0.2	<0.2	<0.2	<0.2
Precision Analog/RF Driver [1]							
Supply voltage (V)	1.8	1.8	1.8	1.5	1.5	1.5	1.5
T _{ox} (nm) [10]	3	3	3	2.6	2.6	2.6	2.6
Gate Length (nm) [10]	180	180	180	130	130	130	130
g _m /g _{ds} at 10·L _{min-digital} [11]	160	160	160	110	110	110	110
1/f Noise (μV ² ·μm ² /Hz) [4]	180	180	180	135	135	135	135
σ V _{th} matching (mV·μm) [5]	6	6	6	5	5	5	5
Peak F _t (GHz) [7]	50	50	50	70	70	70	70
Peak F _{max} (GHz) [8]	90	90	90	120	120	120	120
switch to DG device							
CMOS NFET [1 HP CMOS lag 2 yrs]							
V _{dd} : Power Supply Voltage (V) [13]	0.9	0.8	0.8	0.7	0.7	0.7	0.65
EOT: Equivalent Oxide Thickness (Å) [13]	6	6	5.5	5.5	5.5	5	5
L _g : Physical L _{gate} for High Performance logic (nm) [13]	11	10	9	8	7	6	5.5
Peak F _t (GHz) [7]	790	870	960	1080	1220	1420	1550
Peak F _{max} (GHz) [8]	1050	1160	1300	1470	1690	1990	2180
NF _{min} (dB) at 24GHz[14]	0.8	0.7	0.6	0.6	0.5	0.4	0.4
NF _{min} (dB) at 60GHz[14]	2.0	1.8	1.6	1.4	1.2	1.0	0.9
switch to DG device							

Table RFAMS1a and b に対する注釈:

[1] ORTC(overall roadmap technology characteristics)テーブルで示された、夫々の技術世代において、最初のデジタル製品が現れる年。主要技術に対するリソグラフィーの牽引役を明示した。同じ技術における最初の RF およびミックスドシグナル製品が現れる年は、LSTP に比べ年ほど遅れる。プレーナ CMOS を越えて DG CMOS を用いた高性能 RF/Analog CMOS や高精度 Analog/RF ドライバー デバイスの色は、集積性が不明確であることから黄色になっている。供給電圧、Tox、ゲート長、そして、Ids、Ft、Fmax の色は LSTP におけるロードマップを反映して決定した。いくつかの相違は LSTP ロードマップを参照のこと。

[2] 通常の供給電圧(Vdd)、酸化膜換算した CMOS ゲート絶縁膜の物理膜厚(Tox)、最小ゲート長は、LSTP デジタルロードマップからのものである。簡単のため、エクステンディッドプレーナと DG 技術オプションの箇所は、値を年次で補間して用いた。

[3] 5x 最小ゲート長の LSTP CMOS トランジスタで、低周波における増幅度を測定。異なるゲート長を用いることは、ミックスドシグナル設計において自由度が増加する。長チャネルデバイスは(低周波において)良好な Gds 増幅度を有する。動作点は Vds=Vdd/2 における閾値 Vth より 200mV 高い点を採用。標準ロジックデバイスの持続的なスケールアップでの予測から、最小でも 30 を越える必要がある。これを下回るようであれば、標準のロジックデバイスは、高利得に特徴を持つ専用デバイスに置き換えられることになる。

- [4] $1\mu\text{m}^2$ のアクティブゲート領域における周波数 1Hz における $1/f$ 雑音スペクトル密度。動作点は $V_{ds}=V_{dd}/2$ における閾値 V_{th} より 200mV 高い点。
- [5] NMOS トランジスタの閾値電圧に対するマッチング特性。最小の実用的な間隔で”近接”させたデバイスを仮定。ダミー構造を用いるなどした、注意深いレイアウトやファトリソグラフィにおける均一性が要求される。不純物の統計的な揺らぎが、 SiO_2 の更なる性能改善を妨げ始めている。新たな高誘電率ゲート絶縁膜のマッチング特性は極めて問題である。このパラメータが、求められる精度を持ったミックスドシグナル回路に必要なトランジスタサイズの下限を決め、また、大きさや性能および DC 消費電力を制限することになるだろう。
- [6] 最小のトランジスタゲート長における 50GHz の F_t に対する I_{ds} 。50GHz の F_t というのは、5GHz のアプリケーションの周波数の 10 倍として選んだ。アプリケーションの周波数として 5GHz というのは、想定している周波数領域(1-10GHz)の中間点ということで選んだ値である。
- [7] ピーク F_t は、測定した H21 において 40GHz から 20dB/dec. で外挿して導いた。
- [8] ピーク F_{max} は、測定した単方向利得において 40GHz から 20dB/dec. で外挿して導いた。
- [9] 5GHz における最小トランジスタ雑音指数(NF)。0.2dB というのは、一般的な装置における測定限界である。
- [10] このデバイスは、2-5GHz のアプリケーション用 PA の直接変調を可能にし、正確なアナログアプリケーションをサポートするため必要とされたもの。入出力インターフェイスをサポートするため、一般的により高い電圧を許容できるデバイスがロジックデバイスに集積される。ロジックデバイスの継続的なスケーリングに伴い、要求仕様を満たすためには異なるデバイス構造が必要になるかもしれない。
- [11] $10\times$ 最小(ゲート)長の LSTP CMOS トランジスタで、低周波における増幅度を測定。異なるゲート長を用いることは、ミックスドシグナル設計において自由度が増加する。長チャネルデバイスは(低周波において)良好な G_{ds} 増幅度を有する。動作点は $V_{ds}=V_{dd}/2$ における閾値 V_{th} より 200mV 高い点を採用。
- [12] –(テーブル中に記載なし)
- [13] 通常の供給電圧(V_{dd})、CMOS ゲート絶縁膜の等価酸化膜厚(EOT)、最小ゲート長は、HP デジタルロードマップからのものである。簡単のため、エクステンディッドプレーナと DG 技術オプションの箇所は、値を年次で補間して用いた。
- [14] 24GHz と 60GHz における最小トランジスタ雑音指数(NF)。

RF および AMS 用バイポーラ素子

- 引き続き 3 種類のバイポーラデバイスについてロードマップ表を掲載している。そこでは高速デバイスと PA デバイスをドライバーとして考えており、高耐圧デバイスは高速デバイスのコレクタプロファイルを変更することで得られる特性を予測している。
 - 高速 NPN(High-speed NPN)はミリ波応用向けとする
 - PA NPN はパワーアンプ向けである
 - 高耐圧 NPN(High-voltage NPN, 2006 年版では RF NPN としていた)は 0.8 GHz から 10 GHz 帯で用いられる”typical”なバイポーラデバイスであり、耐圧を向上させるために高速 NPN のコレクタプロファイルを修正している。そのため F_t/F_{max} は高速 NPN よりも劣る。
- 300 GHz デバイスの導入を 1 年遅らせることで高速 NPN の F_t を低く見積もった。それに応じて F_{max} , J_c , BV_{CEO} を見直すと同時に 60 GHz のノイズ指数を新たに加えた。
- PA デバイスのパラメータを電源電圧に応じて見直した。

2006 年版からの主な変更点は、バイポーラロードマップのドライバーをミリ波とパワーアンプにフォーカスした点である。ミリ波応用では今後もバイポーラトランジスタの F_t , F_{max} の向上が必要であり、また PA 応用では F_t/F_{max} と耐圧のトレードオフを改善することが必要である。これらにフォーカスした観点から高速デバイスの 60 GHz におけるノイズ指数をロードマップに追加し、さらに最近のデータをもとに F_t , F_{max} の値も見直した。

Table RFAMS2a RF and Analog Mixed-Signal Bipolar Technology Requirements—Near-term years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ Pitch (nm) (contacted)	65	57	50	45	40	36	32	28	25
General Analog NPN Parameters									
Emitter width (nm) (HS and HV NPN)	130	120	100	100	100	90	90	90	80
1/f-noise ($\mu\text{V}^2\cdot\mu\text{m}^2/\text{Hz}$)	2	2	2	1.5	1.5	1.5	1	1	1
σ current matching ($\%\cdot\mu\text{m}$)	2	2	2	2	2	2	2	2	2
High Speed (HS) NPN (Common to mmWave Table)									
Peak F_t (GHz) [$V_{bc}=1\text{V}$]	250	275	300	320	340	360	380	395	415
Peak $F_{\max}$ (GHz)	280	305	330	350	370	390	410	425	445
Nfmin (dB) at 60GHz	3.0	2.5	2.2	1.9	1.7	1.5	1.4	1.3	1.2
BVceo (V)	1.8	1.7	1.65	1.6	1.55	1.5	1.45	1.4	1.35
J_c at Peak F_t ($\text{mA}/\mu\text{m}^2$)	13	15	17	18	19	21	22	23	24
High Voltage (HV) NPN									
Peak F_t (GHz) [$V_{bc}=1\text{V}$]	90	90	100	100	110	110	120	120	130
Peak $F_{\max}$ (GHz)	170	180	190	200	210	220	230	240	250
BVceo	3.1	3.1	2.9	2.9	2.8	2.8	2.6	2.6	2.5
NF _{min} (dB) at 5GHz	0.26	0.24	0.2	<0.2	<0.2	<0.2	<0.2	<0.2	<0.2
I_c ($\mu\text{A}/\mu\text{m}$) at 50GHz F_t	28	22	16	15	14	13	12	11	10
Power Amplifier (PA) NPN (Common to PA Table)									
Peak F_t (GHz) [$V_{bc}=1\text{V}$]	35	35	40	40	40	40	40	40	40
Peak $F_{\max}$ (GHz)	60	60	80	80	80	80	80	80	80
Bvceo (V)	8.5	8.5	7.5	7.5	7.5	7.5	7.5	7.5	7.5
BVcbo (V)	18	18	16	16	16	16	16	16	16

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

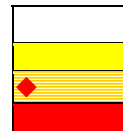


Table RFAMS2b RF and Analog Mixed-Signal Bipolar Technology Requirements—Long-term years

Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM ½ Pitch (nm) (contacted)	22	20	18	16	14	13	11
General Analog NPN Parameters							
Emitter width (nm) (HS and HV NPN)	80	80	70	70	70	70	70
1/f-noise ($\mu\text{V}^2\cdot\mu\text{m}^2/\text{Hz}$)	1	1	1	1	1	1	1
σ current matching ($\%\cdot\mu\text{m}$)	2	2	2	2	2	2	2
High Speed (HS) NPN (Common to mmWave Table)							
Peak F_t (GHz) [$V_{bc}=1\text{V}$]	430	445	455	470	480	490	500
Peak $F_{\max}$ (GHz)	460	475	485	500	510	520	530
Nfmin (dB) at 60GHz	1.1	1.0	1.0	0.9	0.9	0.9	0.8
BVceo (V)	1.35	1.3	1.3	1.3	1.3	1.25	1.25
J_c at Peak F_t ($\text{mA}/\mu\text{m}^2$)	25	26	27	28	29	29	30
High Voltage (HV) NPN							
Peak F_t (GHz) [$V_{bc}=1\text{V}$]	130	140	140	150	150	160	160
Peak $F_{\max}$ (GHz)	260	270	280	290	300	310	320
BVceo	2.5	2.4	2.4	2.4	2.4	2.3	2.3
NF _{min} (dB) at 5GHz	<0.2	<0.2	<0.2	<0.2	<0.2	<0.2	<0.2
I_c ($\mu\text{A}/\mu\text{m}$) at 50GHz F_t	9	8	7	6	5	5	5
Power Amplifier (PA) NPN (Common to PA Table)							
Peak F_t (GHz) [$V_{bc}=1\text{V}$]	40	40	40	40	40	40	40
Peak $F_{\max}$ (GHz)	80	80	80	80	80	80	80
Bvceo (V)	7.5	7.5	7.5	7.5	7.5	7.5	7.5
BVcbo (V)	16	16	16	16	16	16	16

RF およびアナログ用オンチップ/埋め込み受動素子

オンチップ受動素子

- ・ 3 種類のアプリケーションに対するロードマップ: アナログ, RF, パワーアンプ
- ・ デバイスは容量, 抵抗, インダクタ, バラクタ
- ・ RF 向け容量素子として金属-酸化膜-金属 (Metal-Oxide-Metal: MOM) 容量を追加

アナログ用デカップリング MOS 容量は CMOS ロードマップのアナログプレジジョンデバイスの要求仕様に合うものとしている。ゲート酸化膜の薄膜化によって単位容量値は向上するものの、リーク電流が問題となっている。2010 年にはゲート酸化膜厚は 3 nm になると思われるがリーク電流は使用できないほど増大してしまう。このリーク電流を使用できるレベルに抑えるために High-k 材料が必要となると思われる。

抵抗素子はアナログ、ミックスシグナル回路においては必ず使用されるものである。これらの応用においては高濃度 P 型ポリシリコン抵抗がよく用いられるが、これはマッチング特性が良く基板との間の寄生容量が少なく、温度変化が少ないためである。この素子はボロンを高濃度に注入したゲートポリシリコンで形成される。このボロンイオン注入は通常 PFET のソースドレイン注入にも用いられるものである。抵抗値としては $200\text{--}300\ \Omega/\square$ が理想的である。CMOS がさらに微細化され、ソースドレイン注入が浅く低濃度になると抵抗値は $500\ \Omega/\square$ を越えてしまう。このことはアナログ応用や誤差の小さい低抵抗デバイスのために別のマスクが必要になることを意味している。その場合温度特性は $100\ \text{ppm}/^\circ\text{C}$ 程度になる。

BEOL で作る薄膜抵抗デバイスは、誤差が小さい、寄生成分が小さい、短期間で設計をやり直せる、といったいくつかの魅力を持つ。これらの特徴は、RF アナログ応用の中でも特に I/O 回路や電流バイアス回路において有効である。一般に薄膜抵抗デバイスは、銅配線 BEOL では普通に使われる TaN で作られる。これは 1 層目以上の金属配線層で作られ、金属 via によって接続される。このデバイスはマッチング特性が良いので、アナログ応用には好適である。

RF 応用を考えたときの金属-絶縁膜-金属構造(MIM)の容量デバイスの重要なパラメータは、容量密度、電圧に対する線形性、マッチング、及び Q 値である。容量デバイスのスケールアップには容量密度を増加することが必要である。デバイス面積がスケールアップされると、マッチング誤差も小さくなる。表に示した容量密度は 1 個の容量の値で、2 個を積層したデバイスの値ではない。積層容量はたびたび用いられるが、マスク層が 2 倍になり、工程も増える。さらに表の値は、Cu 配線を想定したときの値である。Cu 配線は集積化および信頼性の点で Al よりも多くの課題がある。

金属-酸化膜-金属構造(MOM)は MIM 容量と同様の主要パラメータが必要とされる。容量密度はバックエンド工程の多層配線の幅と間隔で決まり、独立に設定できるものではない。バックエンド工程のディメンジョン(特に配線間隔)の制御性は MIM 容量の膜厚よりも悪いので、MOM 容量のマッチング特性は MIM に比べて悪いのが普通である。

RF においては高性能なオンチップスパイラルインダクタや多層スパイラルインダクタへの要求が高まっている。なぜなら、多機能低コスト RF 回路の技術的な要求及び集積化への要求が強いためである。デジタル回路技術に伴う典型的な配線のスケールアップ、すなわち BEOL のスケールアップは、直列抵抗損失を低くしたい、という高性能インダクタに対する要求とは食い違っている。さらに、Q 値を増加するには、エディ電流や容量結合による基板損失を最小にする必要がある。これらの効果を低減するには、インダクタを BEOL の最上層の厚膜配線層で形成し、インダクタと基板との間に厚い絶縁膜を形成できるように大きい via を用いることが有効である。このような厚膜配線は、位相雑音低減のために高 Q インダクタが必要となる VCO 回路のような応用で使われる。厚膜アルミニウムあるいは銅配線によって、1 nH のインダクタで 3GHz-5GHz の周波数において 25-30 程度の高い Q 値を得ることができる。

蓄積型あるいは空乏型 MOS バラクタはチューニングレンジを広げられ、高い Q 値を得ることができる。表に示した要求事項は RF/アナログトランジスタのゲート酸化膜を用いたデバイスに対するものである。CMOS スケールアップによって高いチューニングレンジが得られるようになったので、この点は 2004 年アップデート版から改訂されている。インダクタの Q 値を今後も増加させるためにはバラクタの Q 値を増加する必

要がある。言い換えると、VCO の性能を制限しているのはバラクタの Q 値になっているのである。さらにゲート幅を縮小したバラクタによって、50 あるいはそれ以上の Q 値が得られるのか、high-k 絶縁膜の導入によってバラクタ特性にどのような影響がでるのか、は明らかではない。

Table RFAMS3a On-Chip Passives Technology Requirements—Near-term years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ Pitch (nm) (contacted)	65	57	50	45	40	36	32	28	25
Analog									
<i>MOS Capacitor</i>									
Density (fF/μm ²) [1]	7	7	7	11	11	11	11	11	11
Leakage (A/cm ²) [8]	<1e-9	<1e-9	<1e-9	<2e-6	<2e-6	<2e-6	<2e-6	<2e-6	<2e-6
Resistor									
<i>Thin Film BEOL</i>									
Parasitic capacitance (fF/μm ²)	0.03	0.03	0.05	0.05	0.05	0.05	0.08	0.08	0.08
Temp. linearity (ppm/°C)	<100	<100	40-80	40-80	40-80	40-80	30	30	30
1σ Matching (% μm)	0.2	0.2	0.15	0.15	0.15	0.15	0.1	0.1	0.1
Sheet resistance, Rs (Ohm/sq)	50	50	50	50	50	50	50	50	50
<i>P+ Polysilicon</i>									
Parasitic capacitance (fF/μm ²)	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1
Temp. linearity (ppm/°C)	<100	<100	40-80	40-80	40-80	40-80	30	30	30
1σ Matching (% μm)	1.7	1.7	1.7	1.7	1.7	1.7	1	1	1
Sheet resistance, Rs (Ohm/sq)	200–300	200–300	200–300	200–300	200–300	200–300	200–300	200–300	200–300
RF									
<i>Metal-Insulator-Metal Capacitor</i>									
Density (fF/μm ²) [2]	2	4	4	5	5	5	7	7	7
Voltage linearity (ppm/V ²)	<100	<100	<100	<100	<100	<100	<100	<100	<100
Leakage (A/cm ²) [9]	<1e-8	<1e-8	<1e-8	<1e-8	<1e-8	<1e-8	<1e-8	<1e-8	<1e-8
σ Matching (% μm)	0.5	0.5	0.5	0.4	0.4	0.4	0.3	0.3	0.3
Q (5 GHz for 1pF)	>50	>50	>50	>50	>50	>50	>50	>50	>50
<i>MOM Capacitor</i>									
Density (fF/μm ²)	3.7	5.0	5.3	6.2	7.0	6.5	7.5	8.6	9.9
Voltage linearity (ppm/V ²)	<100	<100	<100	<100	<100	<100	<100	<100	<100
s Matching (% for 1pF)	<0.15	<0.15	<0.15	<0.15	<0.15	<0.15	<0.1	<0.1	<0.1
<i>Inductor</i>									
Q (5 GHz, 1nH) [3]	29	30	32	34	36	38	40	42	44
<i>MOS Varactor</i>									
Tuning Range [4]	>5.5	>5.5	>5.5	>5.5	>5.5	>5.5	>5.5	>5.5	>5.5
Q (5 GHz, 0 V)	35	35	40	40	45	45	50	50	55
PA									
<i>PA III-V Passives</i>									
Inductors Q (1GHz, 5nH) [5]	15	25	25	25	25	30	30	30	30
Capacitor Q [6]	>100	>100	>100	>100	>100	>100	>100	>100	>100
RF capacitor density (fF/μm ²) [7]	1.2	1.2	1.2	2	2	2	2	2	2
<i>PA Silicon/SiGe Passives</i>									
Inductors Q (1GHz, 5nH) [5]	10	14	14	14	14	18	18	18	18
Capacitor Q [6]	>100	>100	>100	>100	>100	>100	>100	>100	>100
RF capacitor density (fF/μm ²) [7]	2	4	4	5	5	5	7	7	7

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

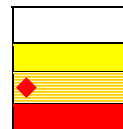


Table RFAMS3b

On-Chip Passives Technology Requirements—Long-term years

Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM ½ Pitch (nm) (contacted)	22	20	18	16	14	13	11
Analog							
<i>MOS Capacitor</i>							
Density (fF/μm ²) [1]	11	11	11	13	13	13	13
Leakage (A/cm ²) [8]	<2e-6	<2e-6	<2e-6	<2e-5	<2e-5	<2e-5	<2e-5
<i>Resistor</i>							
<i>Thin Film BEOL</i>							
Parasitic capacitance (fF/μm ²)	0.08	0.08	0.08	0.08	0.08	0.08	0.08
Temp. linearity (ppm/°C)	30	30	30	20	20	20	20
1σ Matching (% μm)	0.1	0.1	0.1	0.08	0.08	0.08	0.08
Sheet resistance, Rs (Ohm/sq)	50	50	50	50	50	50	50
<i>P+ Polysilicon</i>							
Parasitic capacitance (fF/μm ²)	0.1	0.1	0.1	0.1	0.1	0.1	0.1
Temp. linearity (ppm/°C)	30	30	30	30	30	20	20
1σ Matching (% μm)	1	1	1	0.08	0.08	0.08	0.08
Sheet resistance, Rs (Ohm/sq)	200–300	200–300	200–300	200–300	200–300	200–300	200–300
RF							
<i>Metal-Insulator-Metal Capacitor</i>							
Density (fF/μm ²) [2]	10	10	10	12	12	12	12
Voltage linearity (ppm/V ²)	< 100	< 100	< 100	< 100	< 100	< 100	< 100
Leakage (A/cm ²) [9]	<1e-8	<1e-8	<1e-8	<1e-8	<1e-8	<1e-8	<1e-8
σ Matching (% μm)	0.2	0.2	0.2	0.2	0.2	0.2	0.2
Q (5 GHz for 1pF)	>50	>50	>50	>50	>50	>50	>50
<i>MOM Capacitor</i>							
Density (fF/μm ²)	11.4	13.1	15.1	17.4	20.0	23	26.4
Voltage linearity (ppm/V ²)	<100	<100	<100	<100	<100	<100	<100
s Matching (% for 1pF)	<0.1	<0.1	<0.1	<0.08	<0.08	<0.08	<0.08
<i>Inductor</i>							
Q (5 GHz, 1nH) [3]	46	48	50	52	54	56	58
<i>MOS Varactor</i>							
Tuning Range [4]	>5.5	>5.5	>5.5	>5.5	>5.5	>5.5	>5.5
Q (5 GHz, 0 V)	55	60	60	65	65	70	70
PA							
<i>PA III-V Passives</i>							
Inductors Q (1GHz, 5nH) [5]	30	30	30	30	30	30	30
Capacitor Q [6]	>100	>100	>100	>100	>100	>100	>100
RF capacitor density (fF/μm ²) [7]	2	2	2	2	2	2	2
<i>PA Silicon/SiGe Passives</i>							
Inductors Q (1GHz, 5nH) [5]	18	18	18	18	18	18	18
Capacitor Q [6]	>100	>100	>100	>100	>100	>100	>100
RF capacitor density (fF/μm ²) [7]	10	10	10	10	12	12	12

表 RFAMS 3a と b に対する注:

- [1] この容量密度は CMOS の表のうち precision analog device のゲート酸化膜容量に対応する。
- [2] 多層容量は考慮していない。色付け部分は密度、電圧線形性、リーク、マッチングなどすべての要求を満たす Cu 配線を用いた MIM 容量を反映している。
- [3] 特殊用途向け(アナログ向け)厚膜配線層を用いたシングルエンド、1 nH のインダクタの 5 GHz における Q。
- [4] 定義はバラクタの C-V カーブの $C_{\max}/C_{\min}$ 。CMOS の表のうち, performance RF device に対応。
- [5] インダクタの Q—PA のパワー要求を満たす配線技術で得られる, 5 nH インダクタの 1 GHz における Q 値。
- [6] 容量の Q—上記配線技術で得られる 10 pF 容量の 1 GHz における Q 値。耐圧は相当する電力増幅機能を満たす必要がある。
- [7] RF 容量密度—他の機能(マッチング、ハーモニックフィルタ、カップリングなど)で用いられる容量。それぞれのアプリケーションに必要な耐圧を持つことが条件。積層型は考慮していない。
- [8] リーク電流は室温におけるもので、CMOS precision analog device の最大の電源電圧、最小のゲート酸化膜厚におけるものである

[9] リーク電流は室温におけるもので、CMOS precision analog device の最大の電源電圧におけるものである

埋め込み受動素子

- ・ 有機系と非有機系基板上の 3 種類のデバイス(抵抗素子, 容量素子, インダクター)
- ・ 要求仕様は密度, 精度, 温度特性, 共振周波数, 耐圧

個別部品を埋め込んだ形の受動素子は, 今後 3 年のうちに”Roll-to-Roll”の生産方式(プラスチックなどのフレキシブルな巨大基板上にデバイスを作り込む技術)に移行するものと考えられる。特に有機 PCB 基板を用いた場合のトリミングを用いない段階での材料及びプロセスの精度は, 容量と抵抗素子では 10% 以下, インダクタでは 5% 以下に抑える必要がある。プロセス中のテストとチューニング方法は既に存在するが, 標準化しなくてはならない。ロードマップ表には記載していないが, 有機プリント回路ボードの水分の吸収と信頼性は考慮すべき重要な項目である。

抵抗素子のシート抵抗値は $100 \Omega/\square$ から $1k \Omega/\square$ が要求されているが, 今後は薄膜, 厚膜プロセス両方でもより高いあるいは低い抵抗までカバーすることが必要となる。埋め込み抵抗素子においては温度に対する線形性が重要であり, $300 \text{ ppm}/^\circ\text{C}$ 以下であることが必要である。

マッチング回路においては 3pF 以下の容量値を正確に制御することが必要である。平行平板型金属-絶縁膜-金属 (Metal-Insulator-Metal) 構造の埋め込み容量素子の精度は, 素子面積が縮小されるにつれて層間膜の合わせずれによって影響されてしまう。High-k 材料は単位面積あたりの容量を増大するために必要である。有機 high-k 膜では誘電率が 50 程度のものが生産で用いられているが, 将来は 100 以上が必要となる。アプリケーションの周波数が高くなるに従って Q 値と自己共振周波数 (Self Resonance Frequency: SRF) が high-k MIM 容量の特性を決めてしまう。SRF 特性を向上するためにはより小さい電極や特殊な構造を用いて寄生容量を減らすことが必要である。

埋め込みインダクタの利点は 40 以上の Q 値が得られる点とプロセスコストが安い点である。インダクタンスをさらに向上するには高透磁率材料が必要である。さらに, 埋め込みインダクタは比較的面積が大きいので配線との間の寄生容量が SRF を決めてしまう。埋め込みインダクタをより高周波帯で使用するためには高精度の微細配線プロセスや特殊な構造が必要となる。

Table RFAMS4a

Embedded Passives Technology Requirements—Near-term years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ Pitch (nm) (contacted)	65	57	50	45	40	36	32	28	25
Resistor [1]									
Max Sheet resistance, Rs (Ohm/sq)	1K	1K	1K	10K	100K	100K	500K	500K	500K
Tolerance (%) [2]	<10%	<10%	<5%	<10%	<10%	<5%	<10%	<10%	<5%
Temp. linearity (ppm/°C)	<500	<300	<300	<500	<300	<300	<500	<300	<300
Min Sheet resistance, Rs (Ohm/sq)	100	100	100	100	10	10	10	10	5
Tolerance (%) [2]	<10%	<5%	<3%	<1%	<10%	<5%	<3%	<1%	<10%
Temp. linearity (ppm/°C)	<300	<200	<200	<200	<300	<200	<200	<200	<300
Capacitor [3]									
Density (nF/cm²)	>2	>2	>5	>5	>5	>5	>10	>10	>10
Tolerance (%) [2]	<10%	<7%	<10%	<7%	<7%	<5%	<10%	<7%	<5%
TCC (ppm)	<500	<300	<500	<400	<400	<300	<500	<300	<300
Breakdown Voltage (V)	>500V	>1KV	>300V	>500V	>700V	>1KV	>500V	>700V	>1KV
max Q [4]	>25	>30	>25	>30	>30	>30	>25	>25	>30
Self Resonance Freq (GHz) [5]	>0.5	>0.5	>0.1	>0.1	>0.2	>0.2	>0.05	>0.1	>0.1
Inductor [3]									
Density (nH/mm²)	0.4	0.4	0.8	0.8	0.8	0.8	2	2	2
Tolerance (%) [2]	<5%	<5%	<5%	<5%	<5%	<5%	<5%	<5%	<3%
max Q [6]	>40	>40	>40	>40	>40	>40	>40	>40	>40
Self Resonance Freq (GHz) [7]	>10	>10	>10	>10	>10	>10	>10	>10	>10

Table RFAMS4b

Embedded Passives Technology Requirements—Long-term years

Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM ½ Pitch (nm) (contacted)	22	20	18	16	14	13	11
Resistor [1]							
Max Sheet resistance, Rs (Ohm/sq)	500K	500K	500K	500K	500K	500K	500K
Tolerance (%) [2]	<5%	<5%	<5%	<5%	<5%	<3%	<1%
Temp. linearity (ppm/°C)	<300	<300	<300	<300	<300	<200	<200
Min Sheet resistance, Rs (Ohm/sq)	5	5	5	1	1	1	1
Tolerance (%) [2]	<5%	<3%	<1%	<10%	<5%	<3%	<1%
Temp. linearity (ppm/°C)	<200	<200	<200	<300	<200	<200	<200
Capacitor [3]							
Density (nF/cm²)	>100	>100	>100	>1000	>1000	>1000	>1000
Tolerance (%) [2]	<10%	<7%	<5%	<10%	<10%	<7%	<5%
TCC (ppm)	<300	<300	<200	<300	<200	<200	<200
Breakdown Voltage (V)	>500V	>500V	>700V	>500V	>500V	>700V	>1KV
max Q [4]	>15	>20	>25	>10	>15	>20	>25
Self Resonance Freq (GHz) [5]	>0.001	>0.005	>0.01	>0.001	>0.001	>0.001	>0.001
Inductor [3]							
Density (nH/mm²)	2	4	4	4	4	8	8
Tolerance (%) [2]	<3%	<3%	<3%	<3%	<3%	<3%	<3%
max Q [6]	>45	>45	>45	>45	>45	>45	>45
Self Resonance Freq (GHz) [7]	>10	>10	>10	>10	>10	>10	>10

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

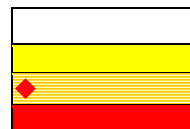


表 RFAMS 4a と b に対する注:

- [1] 厚膜及び薄膜プロセス双方に対して
- [2] 材料とプロセスのトリミングを用いないトータル精度
- [3] 材料, プロセスすべて(ラミネーション, 埋め込み)
- [4] 1 cm² の容量の Q 最大値
- [5] 1 cm² の容量の SRF
- [6] 10 nH のインダクタの Q 最大値
- [7] 25 mm² のインダクタの SRF

パワーアンプ(0.8 GHz – 10 GHz)

ハンドセットPA

- ・ バッテリーの end-of-life 電圧を追記
- ・ バイアス回路に FET/HBT の集積化を、バイパス段に集積オンチップスイッチを追記

ハンドセット PA は顧客(携帯電話メーカー)の要求仕様に従っている。それは言い換えるとハンドセットシステムの最適化への要求に他ならない。システムの最適化とは、まず新しい技術をパッケージに集積されたパワーアンプモジュール(Power Amplifier Module: PAM)に付加することにつながる。パッケージレベルでの集積化はシステム用の新技術開発よりも早く進む。しかしながら、システムの最適化は基礎技術に立ち戻るものである。もちろん、ハンドセットの使用期間は 18 ヶ月くらいなので、早く市場に出すこととコストを低減することが技術を選択する上での最大の基準となる。携帯電話メーカーが進める技術開発の方向は以下の3つである。

1. 第一は、現状のシステムよりも低い end-of-life 電圧を持つバッテリー技術である。これは PA をより広い電源電圧範囲で動作させることを意味する。電源電圧が低下した際の特性に対する顧客の要求仕様は明確ではない。電源電圧が低下した際の仕様は負荷スイッチと電圧制御の新技術を決定的にする。企業が選択するシステム分割技術によって GaAs あるいはシリコン技術のどちらが用いられるかが決まる。さらに、モジュールレベルではスイッチ機能を実現する新技術が必要である。

2. 第二は、より高機能化を図ったバイアス回路である。これはリニアハンドセットアプリケーション(CDMA, WCDMA, PCS 等)に必要なもので、システムへの組み込みを容易にし、16 dBm におけるパワー効率を向上させる効果がある。そのためいくつかのメーカーは FET と HBT を同じ基板上に集積化している。これはシリコンの BiFET と同様の技術である。この集積化技術により、バイアス回路をより低い参照電圧で動作させることができ、システムへの組み込みが容易になり、バイアス回路内に参照電圧が不要でシャットオフスイッチ機能を持たせる、という顧客の要求がすべて満たされる。これらの技術を実現するためには高性能のアナログ FET が必要である。FET と HBT の集積化によって段間バイパスも可能となる。この場合、FET は RF スwitch としての機能を持つので、より高性能な RF FET が必要となる。FET-HBT の集積化と技術改善は今後数年間必ず進むはずである。

3. 第三は、今後数年間でより多くのバンド、モードに対応できる機能の PAM への集積化がますます進むことである。ワイヤレス LAN がこの機能集積化に含まれるかどうか、は興味深い点である。なぜならワイヤレス LAN の 2.4 GHz 帯においては Si と GaAs の両方が用いられるが、5 GHz 帯においては GaAs のみが用いられるからである。これらの PA がシステムに含まれるようになると、新たな技術的課題が生ずることになる。バンドやモードが増えると PAM で用いられるスイッチにも影響が及ぶ。ボード実装面積を小さくするためには、スイッチのロジック制御系回路もスイッチと一緒に集積化することが必要である。こうすることによりボンディングパッド数を削減できる。さらには将来に向け、E/D pHEMT, SOS, SOI などが実現性を帯びてくることになる。

PA 受動素子のパラメータも見直している。PA の出力マッチング部品をどこに置くか、という製品設計者の判断によって受動素子への要求は決定される。現在の PAM は埋め込み受動素子か SMT 部品を用いているが、これは性能とコストのトレードオフを考えた上で選択されている。これらの部品を PA 上に配置するためには MMIC にも同様の精度と性能が要求される。インダクタが現実を表す良い例であり、すばらしい Q 値は既に得られているが、コストの観点からその大きなレイアウト面積は許容できるものではない。

Table RFAMS5a Power Amplifier Technology Requirements—Near-term years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ Pitch (nm) (contacted)	65	57	50	45	40	36	32	28	25
Nominal battery voltage	3.2				2.4				
End-of-life battery voltage	2.85	2.4			1.6				
PA product solutions	Radio/Baseband SIP [2]								
PA frequency (GHz)	0.8-6								
III-V HBT transistor									
F_{max} (at V_{ce}) (GHz)	45		55			65			
BV_{CBO} (V)	25		18						
Linear efficiency (%) [1]	52		55						
Area (mm ²) [2]	2.5		2.2						
Cost/mm ² (US\$) [3]	0.32	0.3	0.28			0.25			
III-V HBT integration									
Bias Control	MESFET								
Power management [4]	N/A								
Switch [5] (by-pass)	HEMT								
Filter [6]	N/A								
III-V PHEMT transistor									
F_{max} (at V_{dd}) (GHz)	45		75						
BV_{DGO} (V)	20		16						
Linear efficiency (%) [1]	55		58						
PA Area (mm ²) [2]	4	4	3.5						
Cost/mm ² (US\$) [3]	0.28	0.25	0.24			0.22		0.15	
III-V PHEMT integration									
Power management [4]	N/A								
Switch [7] logic integration	E/D pHEMT								
Filter [6]	N/A								
Silicon MOSFET transistor									
T_{ox} (PA) (Å) [8]	60		35						
F_{max} (at V_{dd})	45		60						
BV_{DSS} (V)	12		10						
Linear efficiency (%) [1]	45								
PA Area (mm ²) [2]	6		4.5						
Cost/mm ² (US\$) [3]	0.08		0.06			0.05			
Silicon MOSFET integration									
Power management [4]	Yes								
MEMS switch [5]	NO		Stack	Above IC		Integrated			
MEMS filter [6]	Stack		WLP			Above IC			
SiGe HBT transistor [9]									
F_{max} (GHz)	60		80						
BV_{CBO} (V)	18		16						
Linear efficiency (%) [1]	50		52						
PA Area (mm ²) [2]	2.5		2.2						
Cost/mm ² (US\$) [3]	0.12		0.11						
SiGe integration									
Power management	Yes								
MEMS switch [5]	NO		Stack	Above IC		Integrated			
MEMS filter [6]	Stack		WLP			Above IC			

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

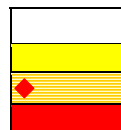


Table RFAMS5b

Power Amplifier Technology Requirements—Long-term years

Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM ½ Pitch (nm) (contacted)	22	20	18	16	14	13	11
Nominal battery voltage	2.4						
End-of-life battery voltage	1.6						
PA product solutions	Radio/Baseband SIP [2]						
PA frequency (GHz)							
III-V HBT transistor							
$F_{\max}$ (at V_{cc}) (GHz)	65						
BV_{CBO} (V)	18						
Linear efficiency (%) [1]	55						
Area (mm ²) [2]	2.2	2					
Cost/mm ² (US\$) [3]	0.25						
III-V HBT integration							
Bias control	MESFET						
Power management [4]	N/A						
Switch [5] (by-pass)	HEMT						
Filter [6]	N/A						
III-V PHEMT transistor							
$F_{\max}$ (at V_{dd}) (GHz)	75						
BV_{DGO} (V)	16						
Linear efficiency (%) [1]	58						
PA area (mm ²) [2]	3.5						
Cost/mm ² (US\$) [3]	0.15						
III-V PHEMT integration							
Power management [4]	N/A						
Switch [7] logic integration	E/D pHEMT						
Filter [6]	N/A						
Silicon MOSFET transistor							
T_{ox} (PA) (Å) [8]	35						
$F_{\max}$ (at V_{dd})	60						
BV_{DSS} (V)	10						
Linear efficiency (%) [1]	45						
PA Area (mm ²) [2]	4.5						
Cost/mm ² (US\$) [3]	0.05						
Silicon MOSFET integration							
Power management [4]	Yes						
MEMS switch [5]	Integrated						
MEMS filter [6]	Above IC						
SiGe HBT transistor [9]							
$F_{\max}$ (GHz)	80						
BV_{CBO} (V)	16						
Linear efficiency (%) [1]	52						
PA area (mm ²) [2]	2.2	2					
Cost/mm ² (US\$) [3]	0.11						
SiGe integration							
Power management	Yes						
MEMS switch [5]	Integrated						
MEMS filter [6]	Above IC						

表 RFAMS 5a と b に対する注:

- [1] 線形効率— Personal Communication Service(PCS)の CDMA(IS-95)変調における最終段 PA の電力付加効率
 [2] 面積—4 バンド GSM/GPRS/EDGE 用の PA 機能とマッチング, フィルタを組み込んだ際のウエハ上の面積
 [3] コスト/ mm^2 —[4]で記載した面積を仮定した際のファウンドリコスト

- [4] パワー制御－RF パワー検出と PA の DC パワー制御を可能とする技術
- [5] スイッチ－PA チップに段間バイパススイッチを集積化する技術。コストも考慮
- [6] フィルター想定された PA に必要な高性能バンド選択フィルタ技術。現在は SAW フィルタを使用
- [7] スイッチロジック集積化－Tx/Rx アンテナスイッチと同時に制御回路を集積化する技術。コストも考慮
- [8] Tox (PA)－RF パワーアンプの MOSFET のゲート酸化膜厚
- [9] 理想的には Si と GaAs の必要性能は同じであるが、現在の最先端の性能を考慮して値は変えてある。

ベースステーションPA

- ・ 応用先はセルラ及びWorldwide Interoperability for Microwave Access (WiMAX)
- ・ GaN技術が急速に市場に出てきたので、SiCは表から削除。GaNは周波数、パワー密度、RFトータルパワーの観点ですばらしい性能を得ることができる。

過去2年間では、ベースステーション市場の傾向は余り変化していない。周波数帯は高周波側に移行しているが、低周波帯においてもまだ様々な要求がある。パワーデバイスメーカーが技術レベルを向上させ、新たなソケットを手に入れるために注目しているのが、3.55 GHz帯のWiMAX対応技術である。依然として進んでいる急速な低価格化に対応するため、低価格パッケージと生産効率向上技術の開発が盛んである。ベースステーションにおいてはSi LDMOSが主役である。Si LDMOSのパワー付加効率はGaAsに比べて低いにも関わらず、WiMAXにも使われるようになってきている。これは動作電圧高い、価格が低い、長年に渡って築かれた低周波帯用のLDMOSとの技術の流用が可能、といったLDMOSの特徴が顧客から評価されているからである。さらにRFパワー密度を向上させるためにLDMOSの動作電圧はより高く(32 V, 48 V)なっている。現段階ではGaAsは低電力パワードライバとアンプの前段に用いられている。

GaN HFETは民生、軍事用双方に応用する点でますます注目されている。米国政府はこの技術開発に多くの予算を割り当てており、すべての生産技術の開発を推進している。いくつかの会社は既にGaN製品を出荷している。GaNは高い動作電圧(48 V)による非常に優れたRFパワー特性を持つ点が魅力的である。高い電流密度が得られることも相俟ってLDMOSやGaAsの2倍から4倍の電力密度を得ることができる。このように電力密度が高く取れることは、受動マッチング回路を簡略化し、アンプにおけるパワー損失を低減できることを意味する。GaNの問題点はデバイスコストが高いことであり、そのためなかなか民生市場に浸透できないでいる。

SiC MESFETは2007年のロードマップから削除した。RF性能がGaNより劣っており、今後もGaNを越えることは困難だと思われるからである。SiC MESFETはGaNよりも動作電圧は高いが、RFパワー密度を決める電流密度はGaNの半分以下である。コストの面からもGaNよりも有利ではない。

Table RFAMS6a

Base Station Devices Technology Requirements—Near-term years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ Pitch (nm) (contacted)	65	57	50	45	40	36	32	28	25
Application frequency (GHz) [1]	0.8–3.5	0.8–3.5	0.8–3.5	0.8–5	0.8–5	0.8–5	0.8–5	0.8–8	0.8–8
Cost (\$\$/Watt)	0.3	0.2	0.2	0.15	0.15	0.15	0.1	0.1	0.1
Packaging (C-Ceramic, P-Plastic)	C, P	C, P	C, P	Plastic	Plastic	Plastic	Plastic	Plastic	Plastic
Si LDMOS									
Operating voltage (V)	32, 48		32, 48	32, 48					
Saturated power (Watt)	240	300	400	500					
Saturated power density (W/mm)	1.8		1.8	1.8					
Saturated PAE (%)	55	57	60	55	57	60			
Linear power (Watt)	120	150	200	250					
Linear PAE (%)	39	40	42	39	40	42			
GaAs FET									
Operating voltage (V)	28		28				28		
Saturated power (Watt)	240		240				240		
Saturated power density (W/mm)	1.5		1.8				1.8		
Saturated PAE (%)	65	67	70	65	67	70		70	
Linear power (Watt)	120			120				120	
Linear PAE (%)	46	47	50	46	47	50		50	
GaN FET									
Operating voltage (V)	48		48				48		
Saturated power (Watt)	200		300		400		500	500	
Saturated power density (W/mm)	4		5				5		
Saturated PAE (%)	60	62	65	60	62	65		65	

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

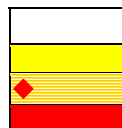


Table RFAMS6b Base Station Devices Technology Requirements—Long-term years

<i>Year of Production</i>	<i>2016</i>	<i>2017</i>	<i>2018</i>	<i>2019</i>	<i>2020</i>	<i>2021</i>	<i>2022</i>
<i>DRAM ½ Pitch (nm) (contacted)</i>	22	20	18	16	14	13	11
<i>Application frequency (GHz) [1]</i>	0.8–8						
<i>Cost (\$\$/Watt)</i>	0.1						
<i>Packaging (C-Ceramic, P-Plastic)</i>	Plastic						
<i>Si LDMOS</i>							
Operating voltage (V)	32, 48						
Saturated power (Watt)	500						
Saturated power density (W/mm)	1.8						
Saturated PAE (%)	60						
Linear power (Watt)	250						
Linear PAE (%)	42						
<i>GaAs FET</i>							
Operating voltage (V)	28						
Saturated power (Watt)	240						
Saturated power density (W/mm)	1.8						
Saturated PAE (%)	70	72					
Linear power (Watt)	120						
Linear PAE (%)	50	51					
<i>GaN FET</i>							
Operating voltage (V)	48						
Saturated power (Watt)	500						
Saturated power density (W/mm)	5						
Saturated PAE (%)	65						

表RFAMS 6aとbに対する注:

[1] 飽和 PAE のスケーリングで決まる周波数帯

ミリ波 (10 GHz – 100 GHz)

- GaAs MESFET を削除
- 低ノイズ技術において、24, 60, 94 GHz における F_{min} とゲインを追記
- 効率が最大となる時の P_{out} と 24, 60, 94 GHz の 1 dB コンプレッションにおけるゲインを追記
- HP CMOS ロードマップを参考に、24, 60 GHz における RF CMOS の F_t , F_{max} , NF_{min} を追記

ミリ波の表には、耐圧、最大電流、トランスコンダクタンスといったデバイス本来のパラメータと、ノイズ、パワー、ゲイン、効率といったある周波数における低ノイズパワートランジスタに必要なとされる性能を示している。24, 60, 94 GHz という、市場が着目する 3 周波数帯における想定性能を提示している。24 GHz 帯はワイヤレス LAN で用いられている。従来車載レーダは 60 GHz と 77 GHz で検討されてきたが、24 GHz 帯も使われようとしている。60 GHz 帯は長い間軍事用監視衛星リンクに使われてきたが、大気による吸収が大きい特徴を活かして、混雑したエリアでの短距離（ラスト・マイル）接続に使われるようになってきた。ここでは周波数帯の再利用が進められている。ニアタームのロードマップには、目に見えない武器の検知や全天候型航空機着陸システムのようなイメージング応用といった 94 GHz 帯のアプリケーションも記載している。2015 年以降のロングタームのロードマップには、現在は研究段階である 220 GHz 帯や sub-THz 帯のイメージング応用についても記載している。100 から 1000 GHz の間の周波数帯は、医療用イメージング、分光、セキュリティといった方面で多くのアプリケーションが期待されている。ミリ波技術に対する要求のセクションでは、上記 3 つの周波数帯における様々なデバイス技術について記載している。

表からわかることは、ひとつの材料あるいはデバイスが独占することはどの周波数帯においてもあり得ず、これはすなわちユーザから見ると多くの選択肢があることになる。この選択は様々な観点から成されるべきであり、コストだけで決まるものではないので、あるアプリケーションに対してより良い選択肢を提示することはしていない。様々な観点とは、集積化の度合い、信頼性、動作電圧、さらに、もちろんロードマップで扱うところの性能、である。以下はいくつかの技術の利点と欠点である。

- GaAs MESFET は 2007 年のミリ波ロードマップから削除した。10 GHz 以下の高耐圧応用では GaAs MESFET が使用されることはあるが、ミリ波帯で使用したいと思う設計者は出てこないと考えられるからである。それは GaAs PHEMT のコストと信頼性に関する性能が素晴らしいからである。
- 同様に低ノイズ PHEMT は今後 10 年間で InP HEMT や GaAs MHEMT に置き換えられる。
- ミリ波パワーデバイスは 2 種類に分けられる。GaAs PHEMT や MHEMT による低電力（数ワットから数十ワット）応用と GaN による高電力（数十から数百ワット）応用である。
- 高いロバスト性と線形性が求められる低ノイズ応用では GaN はニッチである。GaN のノイズは PHEMT と同等であり、レシーバのフロントエンドにリミッタ付けないことも可能なので、PHEMT はシステムノイズ低減に対して大きなメリットがある。
- InP と SiGe HBT は引き続き同様のアプリケーションに使われ続ける。SiGe はコストと集積性の面で有利であるが、同じリソグラフィ技術を用いた場合は InP の方が 4 倍の性能を出すことができる。

2007 年版では RF CMOS もミリ波のロードマップに記載した。HP CMOS の最大電源電圧が低いため、電力をドライブする応用には不向きであるので、パワーと効率については考慮していない。HP CMOS の低電圧性能向上と低い最大定格電圧性能は、新しい設計技術と回路トポロジー開発に寄与するものである。より高いミリ波周波数帯の設計では、最小のゲート長を持つデバイスによって最大のバンド幅が実現される。デバイスから大きな電力を出力するために高い電源電圧をかけると、ホットキャリアなどのメカニズムにより、デバイスの性能 (V_{th} , g_m , I_{ds} など) が劣化してしまい、寿命を短くしてしまう。CMOS をミリ波帯で使用するためには、最大動作周波数、最大電力とデバイス性能の劣化の間で妥協点を見出すことが必要である。

Table RFAMS7 Millimeter Wave 10 GHz–100 GHz Technology Requirements

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ Pitch (nm) (contacted)	65	57	50	45	40	36	32	26	25
Device Technology—FET									
GaAs PHEMT (low noise)									
Gate length (nm)	100								
F _t (GHz)	150								
Breakdown (volts)	12								
I _{max} (mA/mm)	700								
G _m (S/mm)	0.55								
NFmin (dB) at 26 GHz	0.8								
Associated Gain at 26 GHz	10.8								
NFmin (dB) at 94 GHz	2.5								
Associated Gain at 94 GHz	3.6								
GaAs PHEMT (power)									
Gate length (nm)	150		100						
F _{max} (GHz)	150		200						
Breakdown (volts)	12		9						
I _{max} (ma/mm)	700		800						
G _m (S/mm)	0.5		0.7						
P _{out} at 24 GHz and peak efficiency (mW/mm)	650		650						
Peak efficiency at 24 GHz (%)	45		50						
Gain at 24 GHz, at P _{1dB} (dB)	11		13						
GaAs PHEMT (power)									
Gate length (nm)	100		70						
F _{max} (GHz)	200		250						
Breakdown (volts)	8		8						
I _{max} (ma/mm)	800		850						
G _m (S/mm)	0.65		0.75	0.8					
P _{out} at 60 GHz and peak efficiency (mW/mm)	550								
Peak efficiency at 60 GHz (%)	30		35	40					
Gain at 60 GHz, at P _{1dB} (dB)	7		8	9					
P _{out} at 94 GHz and peak efficiency (mW/mm)	350		350	350					
Peak efficiency at 94 GHz (%)	20		25	30					
Gain at 94 GHz, at P _{1dB} (dB)	5		6	7					

Table RFAMS7 Millimeter Wave 10 GHz–100 GHz Technology Requirements

<i>Year of Production</i>	<i>2007</i>	<i>2008</i>	<i>2009</i>	<i>2010</i>	<i>2011</i>	<i>2012</i>	<i>2013</i>	<i>2014</i>	<i>2015</i>
<i>DRAM ½ Pitch (nm) (contacted)</i>	65	57	50	45	40	36	32	26	25
<i>InP HEMT (low noise)</i>									
Gate length (nm)	100	70	50	35	25				
F _i (GHz)	200	250	350	420	500				
Breakdown (volts)	4	3	2.5	2	1.5				
I _{max} (ma/mm)	500	600	550	500					
G _m (S/mm)	1.1	1.5	1.8	2	2.2				
Fmin (dB) at 24 GHz	0.5	0.4	0.3	0.3	0.25				
Associated Gain (dB) at 24 GHz	15	16	17	18	20				
Fmin (dB) at 60 GHz	1	0.8	0.6	0.6	0.5				
Associated Gain (dB) at 60 GHz	11	12	13	14	16				
Fmin (dB) at 94 GHz	1.5	1.3	1.1	1	0.9				
Associated Gain (dB) at 94 GHz	8	9	11	12	14				
<i>InP HEMT (power)</i>									
Gate length (nm)	100	70	50						
F _{max} (GHz)	250	400	450						
Breakdown (volts)	4	3	2.5						
I _{max} (ma/mm)	500	600	600						
G _m (S/mm)	1.1	1.5	1.7						
P _{out} at 24 GHz and peak efficiency (mW/mm)	450								
Peak efficiency at 24 GHz (%)	50								
Gain at 24 GHz, at P _{1dB} (dB)	14								
P _{out} at 60 GHz and peak efficiency (mW/mm)	300	400							
Peak efficiency at 60 GHz (%)	40	45	50						
Gain at 60 GHz, at P _{1dB} (dB)	10	14							
P _{out} at 94 GHz and peak efficiency (mW/mm)	150	160	200						
Peak efficiency at 94 GHz (%)	30	35	40						
Gain at 94 GHz, at P _{1dB} (dB)	7	10							
<i>GaAs MHEMT (low noise)—Ka through W-Band</i>									
Gate length (nm)	100	70	50	35					
F _i (GHz)	200	250	350	420					
Channel In content (%)	60	70	70						
Offstate Breakdown (volts)	6	4	3	2.5					
I _{max} (ma/mm)	900	900	950	950					
G _m (S/mm)	1.2	1.4	1.5	1.8					
Fmin (dB) at 24 GHz	0.5	0.4	0.3	0.2					
Associated Gain (dB) at 24GHz	15	16	17	18					
Fmin (dB) at 60 GHz	1	0.7	0.6	0.4					
Associated Gain (dB) at 60GHz	10	12	14	15					
Fmin (dB) at 94 GHz	1.5	1.2	1	0.8					
Associated Gain (dB) at 94GHz	8	10	12	13					

Table RFAMS7 Millimeter Wave 10 GHz–100 GHz Technology Requirements

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ Pitch (nm) (contacted)	65	57	50	45	40	36	32	26	25
GaAs MHEMT (Power) -Ka band									
Gate length (nm)	150		100			70			
Channel In content (%)	35								
F _{max} (GHz)	200		250			300			
Offstate Breakdown (volts)	8		10			9			
I _{max} (ma/mm)	760		850			900			
G _m (S/mm)	0.85		1			1.2			
P _{out} at 24 GHz and peak efficiency (mW/mm)	800		850			900			
Peak efficiency at 24 GHz (%)	45		50			55			
Gain at 24 GHz, at P _{1dB} (dB)	12		14			15			
GaAs MHEMT (Power)									
Gate length (nm)	100		70			50			
Channel In content (%)	53		43			35			
F _{max} (GHz)	300		300			325			
Offstate Breakdown (volts)	7		9						
I _{max} (ma/mm)	900		900			950			
G _m (S/mm)	1.2		1.4			1.5			
P _{out} at 60 GHz and peak efficiency (mW/mm)	500		550			600			
Peak efficiency at 60 GHz (%)	40		45			55			
Gain at 60 GHz, at P _{1dB} (dB)	8		9			10			
P _{out} at 94 GHz and peak efficiency (mW/mm)	225		300			350			
Peak efficiency at 94 GHz (%)	30		35			45			
Gain at 94 GHz, at P _{1dB} (dB)	6		7			8			
GaN HEMT (low noise)									
Gate Length (nm)			150	100		70		50	
F _t (GHz)			120	160		200		240	
Breakdown (volts)			40	35		30		25	
I _{max} (ma/mm)			1000	1200	1300	1400			
G _m (S/mm)			0.4	0.5	0.55	0.6		0.65	
Fmin (dB) at 24 GHz			1.2	1		0.8		0.6	
Associated Gain at 24 GHz			10	12		13		14	
GaN HEMT (power)									
Gate Length (nm)				150					
F _t (GHz)				150					
Breakdown (volts)				60	80				
I _{max} (ma/mm)				1200		1400			
G _m (S/mm)				0.5 0.5		0.6			
P _{out} at 24 GHz and peak efficiency (mW/mm)				5000	6000	7000	8000		
Peak efficiency at 24 GHz (%)				35	40	42.5	45		
Gain at 24 GHz, at P _{1dB} (dB)				10		12			

Table RFAMS7 Millimeter Wave 10 GHz–100 GHz Technology Requirements

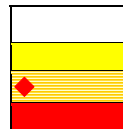
Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ Pitch (nm) (contacted)	65	57	50	45	40	36	32	26	25
GaN HEMT (power)									
Gate length (nm)				100		70			50
F _{max} (GHz)				200		240			280
Breakdown (volts)				40	60	40	60	60	40
I _{max} (ma/mm)				1200		1500			
G _m (S/mm)				0.55		0.65			
P _{out} at 60 GHz and peak efficiency (mW/mm)				4000	4500	5000			4500
Peak efficiency at 60 GHz (%)				30		35			40
Gain at 60 GHz, at P _{1dB} (dB)				8	8.5	9	9.5		10
P _{out} at 94 GHz and peak efficiency (mW/mm)				2500	3000	3500	4000		3500
Peak efficiency at 94 GHz (%)				20	25	30			35
Gain at 94 GHz, at P _{1dB} (dB)				6	6.5	7	7.5		8
Device Technology—RF CMOS									
-									
CMOS NFET [1 HP CMOS lag 2 yrs]									
-									
V _{dd} : Power Supply Voltage (V)	1.1			1			0.95	0.9	0.9
EOT: Equivalent Oxide Thickness (Å) [13]	12	11		9	7.5	6.5	5.5	5	6
L _g : Physical L _{gate} for High Performance logic (nm)	32	28	25	22	20	18	16	14	13
Peak F _t (GHz)	280	320	360	400	440	490	550	630	670
Peak F _{max} (GHz)	340	390	440	510	560	630	710	820	880
NF _{min} (dB) at 24GHz	2	1.8	1.6	1.4	1.3	1.2	1.1	1	0.9
NF _{min} (dB) at 60GHz	5.1	4.5	4.0	3.6	3.3	3.0	2.7	2.4	2.3
Device Technology—HBT									
InP HBT									
Emitter width (nm)	1	0.5	0.5	0.25			0.13		
Peak F _t (GHz)	150	320		400			560		
Peak F _{max} (GHz)	200	320		560			800		
BV _{ceo}	8	5		4			3		
J _c at Peak F _t (mA/μm²)	1	5		10			20		
SiGe HBT									
Emitter width (nm)	130	120	100			90			80
Peak F _t (GHz) [V _{bc} =1V]	250	275	300	320	340	360	380	395	415
Peak F _{max} (GHz)	280	305	330	350	370	390	410	425	445
Nfmin (dB) at 60GHz	3.0	2.5	2.2	1.9	1.7	1.5	1.4	1.3	1.2
BV _{ceo}	1.8	1.7	1.65	1.6	1.55	1.5	1.45	1.4	1.35
J _c at Peak F _t (mA/μm²)	13	15	17	18	19	21	22	23	24

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



解決策候補 (POTENTIAL SOLUTIONS)

2007 年の解決策候補のテーブルでは、0.8GHz～10GHz のアプリケーションをカバーするものと、10GHz～100GHz のミリ波アプリケーションをカバーするものの二つの表に分割した。

RF 及び AMS (アナログミックスドシグナル) CMOS

この解決策は、PIDS (Process Integration, Devices, and Structures) 章の中で論じたメモリーやロジックのアプリケーションについて既に提示したものと異なるものである。成功を取めたミックスドシグナル技術は、基準としてデジタルプラットフォームを活用し、さらに付加価値のある特性や機能を組み込んだものである。ミックスドシグナル回路の集積化が成功するための重要な決め手は、特殊な高電圧アナログ用の高精度トランジスタ、高品質な受動素子、十分な信号分離、及び相性の良い能動素子を付加することである。

CMOS デジタルの性能向上は、NF、Ft、Fmax 改善において積極的なロードマップをもたらす結果となる。このようなスケーリングによる性能向上という明白な利点に加えて、技術の変化は、RF やアナログ回路の動作にとって重要な他の素子特性の改善をもたらすであろう。熱やフローティング・ボディ効果や高抵抗基板への接続が課題ではあるが、SOI (Silicon-on-insulator) による一般的なマイクロプロセッサ製造、高性能 I/O インタフェース、及び高周波 PLL (Phase-Locked Loop) 回路は、他のアナログアプリケーションに使用する際の潜在能力を実証している。金属ゲートの導入は、ゲート不純物のばらつきがなく、閾値電圧のミスマッチを減少でき、またゲート抵抗の減少により Fmax の向上が期待できる。素子の電流を増加させる歪みチャネルの導入は、他の特性劣化が少し、もしくは全く無いため、高精度なアナログ及び RF 駆動回路の性能を改善できる可能性がある。完全空乏型やダブルゲート型 SOI は、通常の CMOS に比べてチャネルの不純物濃度が低くそのためミスマッチを減らすことが可能である。加えて、この構成は電圧利得や Fmax の向上の結果として、低いドレインコンダクタンスを提供するであろう。デジタルの電力・遅延の最適化を可能とするマルチスレッショルドは、ミックスドシグナルや RF アプリケーションに対しても設計の選択肢を提供するであろう。

金属ゲート電極、高誘電率のゲート絶縁膜、完全空乏型、ダブルゲート型 SOI の導入は、ミックスドシグナルのアプリケーションでさらなる課題を提供するであろう。このような技術、素子の使用は、これまで重要でないとされていた物理的作用が性能を制限する要因として浮かび上がり、しいては物質および製造方法の再考が必要となるであろう。

ミックスドシグナルの電源電圧については、高性能デジタルのそれに比べて、二世代以上の遅れが続いている。マルチゲート酸化膜厚、マルチスレッショルド、及び DC-DC 変換の組み合わせが、ミックスドシグナルについて増大する要求を下支えするのに必要である。追加された工程による複雑さは、要求される低コスト化に矛盾するであろう。動作スレッショルドの制御や、基板のバイアス印加、及び斬新な設計アーキテクチャのような設計解決策が、ミックスドシグナルの実用化のための供給電圧低下の流れを加速するために必要となろう。完全な集積化のための選択肢としては、異なる技術で製造し、要求特性に対して最適化した回路を複合化した SIP (System-in-package) がある。

優れたマッチング特性は、ADC (Analog to Digital Converter) を含むミックスドシグナル素子にとって、またよく出来たデジタルのラッチやスタティックメモリ素子の設計において重要な意味を持っている。金属ゲート電極は、トランジスタの整合性を徐々に改善するものと期待している。能動回路による補正技術もまた、デバイスのスケーリングによるマッチング特性の劣化を補償するであろう。

現在のスケーリングトレンドの結果として、ドレインバイアスに対する素子の閾値ばらつきを抱えるというポケットインプラの主影響によって相対的に長チャネル化されても、実質的に電圧利得の悪化を招くであろう。これは、Fmax の改善を遅らせ、さらにアナログ回路で余分な消費電力を必要とするだろう。このトレンドはドレイン端のポケットインプラを必要としない非対称素子の導入によって減速することになるであろう。加えて、RF ロードマップは、CMOS ドライバやパワーマネジメント部品における電圧対応能力の向上た

めの非対称素子(ドレイン拡張)集積の必要性、あるいは、高電圧素子特性改善のための LDMOS (Laterally Diffused MOS)の使用可能性を促進することになるであろう。

集積化レベルが高くなれば、回路ブロック間の信号アイソレーションの改善、及びクロストークのより良いシミュレーション可能性に対する要求を促進する。高抵抗シリコン基板の使用は、最も難しいアプリケーションにおいて要求されるだろう。

RF 及び AMS (アナログミックスドシグナル) バイポーラ素子

バイポーラトランジスタの F_t/F_{max} 継続的な改良の解決策候補としては、 F_{max} 改善、及びピーク F_t の単位長当たりの電流低減のために、さらに狭いエミッタ幅を実現するリソグラフィの進歩が含まれる。 F_{max} 改善、及びピーク F_t の単位長当たりの電流低減においては、メタル配線の信頼性限界内での電流容量を保つことと、 F_t 改善のためのさらなる積極的な垂直方向のプロファイル(さらに薄いベース幅や高いコレクタのドーピング濃度)とのトレードオフとなるであろう。 F_t と F_{max} の改善は、ミリ波要求に取り組むべき高周波での雑音指数も改善するであろう。

垂直方向のプロファイルの制御はこの取り組みの限界を提示する可能性があり、また解決策候補には、原子層エピタキシーや代替エミッタ形成法のような新しい技術の採用を含んでいるであろう。潜在的に新材料は、ごく最近の Ge(ゲルマニウム)やカーボンの導入のように、遷移時間の改善、またはベース幅の制御に役立つ可能性がある。

寄生損失は特性限界の進歩を推し進めることになり、解決候補策として選択的エピタキシーの使用のみならず、素子の真性領域と外部領域の相互作用を最小化するための革新的構造の使用が含まれる。

RF、アナログ用のオンチップ、埋め込み受動素子

オンチップ受動素子

ボードレベルからチップレベルへの個別受動素子の移行トレンドは継続するであろう。個別部品と同等の精度を持ったオンチップ受動素子を実現するための解決策が求められている。あるいは、コスト低減と簡略化の手法として、一部の受動素子がプリント基板もしくはパッケージに埋め込まれることもある。新しい High- κ 誘電体が、集積化キャパシタ領域の削減、もしくは新しい先端アナログ、および RF 回路の機能を満たす集積化キャパシタ領域を確保するために使われるであろう。High- κ 誘電体は、MIM キャパシタ、MOS キャパシタおよび MOS バラクタの容量密度を著しく増加させることが可能である。MOM (Metal-oxide-metal) キャパシタの継続的な改善と直線性およびマッチング特性の検証は、将来のアナログ及び RF 回路にとって魅力的な低コストの選択肢となるであろう。

高 Q (Quality Factor) 及び高密度インダクタは、チップ上に集積化された新しい機能、回路トポロジーを可能にするため、アナログ及び RF 集積回路にとって重要な課題であることを意味している。高 Q 及び高密度インダクタの解決策候補としては、オンチップインダクタにおいて、銅の厚膜層と厚い最上位の絶縁層、及び磁性材料の集積化が含まれる。これらは、最も要求の厳しいアプリケーションにおいては、パッケージへのインダクタの集積化と共存するであろう。集積化抵抗は、革新的なアプローチによって充足される集積化された抵抗の製造において、低い寄生容量と温度に対する高直線性が要求される。

High- κ 材料で作られる MOS キャパシタと MOS バラクタに関しては、さらなる研究が必要である。これらは、アナログ用の高精度トランジスタと高速 RF トランジスタ各々への High- κ 材料の適応が一体となったものである。High- κ 誘電体材料における VCO の位相雑音の影響は、通常はさらに高いトラップ密度を持っているが、十分な研究が必要である。

RF 用 MIM 容量で高いキャパシタ密度を達成するために、様々な High- κ 誘電体が研究されている。その中には、 Ta_2O_5 や HfO_2 及び他の High- κ 材料がある。

膜厚が薄くなっても、リーク電流と電圧直線性を低く保つことが主要な課題である。このトレードオフを解決するひとつの方法は、容量密度と電圧直線性を個別に最適化できる多層膜構造を採用することである。そのような解決策は、量産性に値するかどうかは別にして、今のところ実現されていない。

形状がスケールダウンされた際、High- κ 誘電体の縦積み構造 MIM が使われない場合、短冊状 (interdigitated) の横方向 MOM キャパシタの単位容量は、一般的な MIM キャパシタの単位容量に対して同等かそれ以上となるであろう。MIM キャパシタと比較して、短冊状 MOM キャパシタは追加の処理工程及びコストがかからない。したがって、特に低コストアプリケーションにおけるキャパシタオプションとして認識されている。さらに、この短冊状 MOM キャパシタのミスマッチ特性に関しては、特に重視されていない。しかしながら、短冊状 MOM キャパシタのミスマッチ特性は、適切な構造設計を使うことにより、MIM キャパシタに対抗できる可能性がある。

パッシベーション上のインダクタは、高い Q 値及び共振周波数を有するが、特別な処理工程が必要である。技術的な実現可能性は、実証されつつある。いくつかの会社においては、量産プロセスとして実用化されている。パッシベーション上のインダクタを採用するかどうかは、現時点でのこの技術に対する限定的な適用状況と経済性にかかっている。本書では、ケースバイケースに基づいて査定している。インダクタ密度の改善は、その実現が難しい。縦積みインダクタが解決策として提案されているが、かなりの追加コストと縦積みされたインダクタ間の大きな容量結合により、その共振周波数を損なってしまう。磁性体材料の使用は、磁気シールドとしての使用のように、文献で注目を浴びている。しかしながら、この分野は未だ実現していない。

CMOS の複雑性が増加するに伴い、安定的で生産性の高いフロントエンド工程 (FEOL: Front-end-of-line) での抵抗の製造がさらに難しくなっている。この問題に対するひとつの解決策は、フロントエンド工程での一般的な p 型ポリシリコン抵抗と互換性のある高抵抗材料を使ったバックエンド工程 (BEOL: Back-end-of-line) で製造する抵抗を提供することである。エレクトロマイグレーションを最小化するため、バックエンド工程におけるこれらデバイスの温度管理が最も重要であり、温度による影響は無視できない問題となるであろう。この問題は、RF やアナログ回路での良好な抵抗パラメータだけではなく、大電流での良好な温度管理ができる新しい材料によって解決されるべきものである。これは、RF およびアナログ技術の研究開発 (R&D) にとって魅力ある領域であろう。

埋め込み受動素子

IPD (Integrated Passives Devices) を含む埋め込み受動素子は、回路設計におけるパッシブネットワークのためのチップ外もしくはチップ内の解決策を提供する。この技術はオンチップ受動素子の補完的なものではなく、システムに対するパッケージおよび相互接続の解決策を提供する。基板に埋め込まれた受動素子の形成のための製造工程、特に有機プリント基板 (PCB) 用においては、ラミネーションと印刷という2つの主要なカテゴリに分類される。印刷工程では、一般的なスクリーン印刷が精度は良くないが、最も費用効果が高い。インクジェット印刷のような新工程技術では、工程誤差を改善できる。

一般に、有機材料による埋め込み受動素子の設計、材料、工程はシリコンベースの技術と違っているが、多くの考え方は同じである。有機プリント基板の製造者は、製造誤差や品質を改善するために、半導体製造者から学ぶべきである。

パワーアンプ

ハンドセット用パワーアンプ

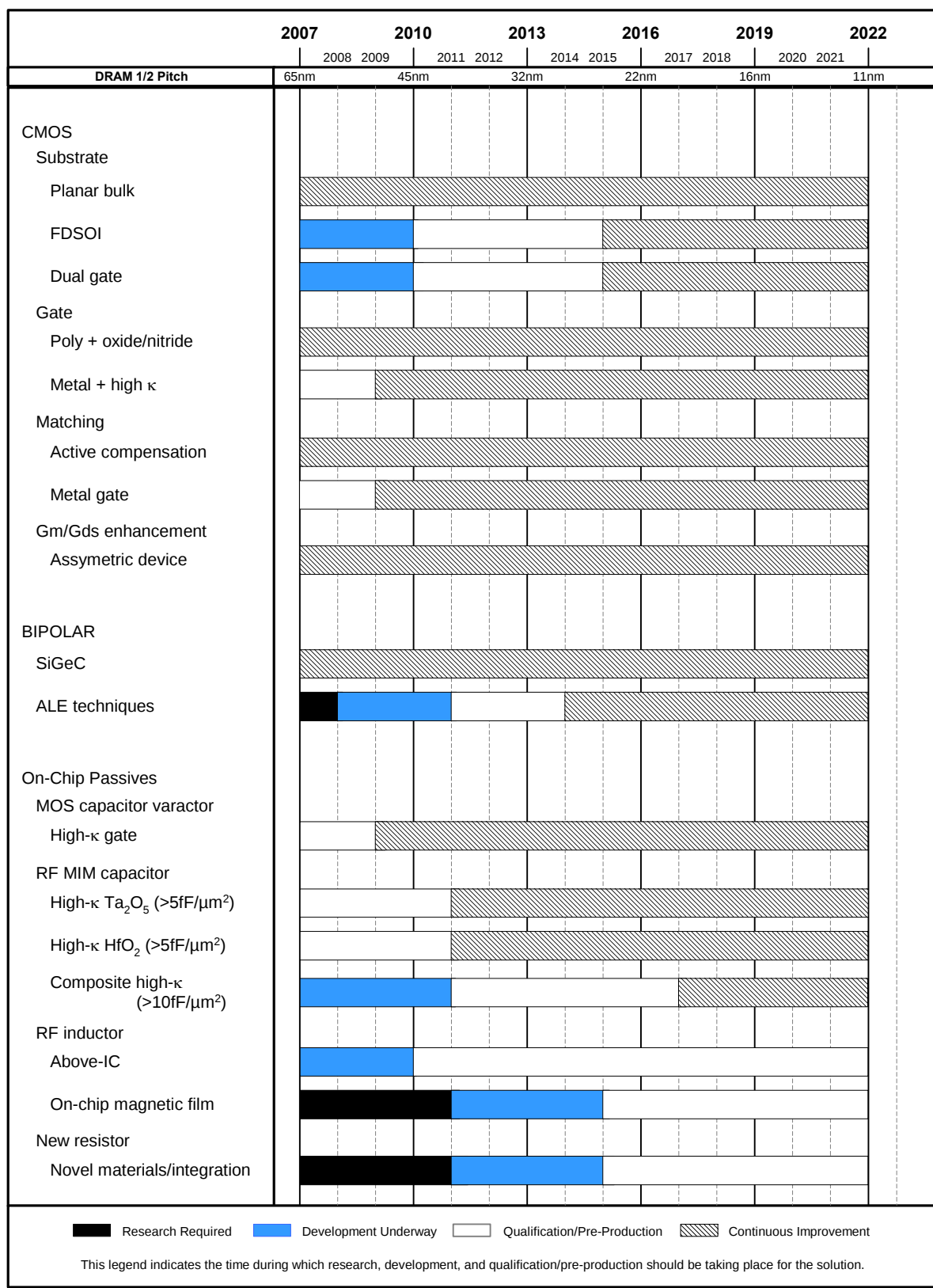
集積化された HBT-HEMT 技術は、パワーアンプの設計者が短期的及び長期的に直面するいくつかの問題点に対処するであろう。FET を HBT と集積化することは、電源配線と一緒に設計され集積化されたさらに複雑なバイアス回路を可能とする。このような FET-HBT 回路は、PA (パワーアンプ) チップにステージの迂回スイッチの集積化を可能とし、中間パワーの効率改善に貢献するであろう。これらの技術は、現在制限の元で使用可能であり、これらの解決策が普及するには、製造での諸課題を解決する必要がある。

耐用年数を経た電池の電圧低下は、設計された PA の方式や、今のところは公になっていない顧客の特性に対する期待に依存するいくつかの解決策候補を促進するであろう。MEMS、(バリウム・ストロンチウム・チタンのような材料を使う) チューナブルバラクタ、高 Q バラクタ回路網のような、いくつかの技術は、PA

の負荷を変動もしくは切替えるために存在している。これらの技術は、困難な耐用年数を経た電池の電圧低下問題において、重要な役目を演じるであろう。これらのチューナブル(チューニング可能な)回路網は、PA すべての動作範囲において特性の改善のために必要とされるであろうし、いずれかが正しい解決策となった場合、それはパワーアンプモジュール(PAM)のコスト構造及び集積可能性に大きく依存するであろう。

基地局用パワーアンプ

シリコンの LDMOS が直面している多くの課題に対して技術的な解決策を提供できる GaN 技術が登場している。最初の GaN は、多くのアプリケーションで優位性を有するであろう高ブレイクダウン電圧を実現できるワイドバンドギャップ半導体である。次は、シリコンの LDMOS に比べて約 5 倍の RF パワー密度を達成できる高い動作電圧と相まって、非常に高い電流密度が可能なエピタキシャル構造の GaN 素子である。この高いパワー密度は、さらなる広帯域パワーアンプで達成可能な、一定のパワークラスに対して、チップサイズをかなり縮小できる。縮小されたチップサイズでの低い寄生容量によって、クラス D、クラス E およびクラス S のような高効率アンプの使用が可能となる。最終的に高性能 GaN 技術は、優れた熱伝導性を持つ SiC 基板を使用する。これによって、素子のチャンネル温度を低く維持して、高パワー密度が可能な技術が使えることとなる。



Bipolar use mainly in transceiver; CMOS use in transceiver and AMS; Meeting passive roadmap density and leakage w/Cu backend

Figure RFAMS2

8–10 GHz Potential Solutions

ミリ波

化合物半導体は、シリコン産業にて使用できるリソグラフィとプロセス装置の先進性をうまく利用する。これを達成するためには、そのウェハの直径はシリコン産業の一世代又は二世代以内にある必要がある。6 インチの半絶縁 GaAs ウェハは、InP ウェハに近い将来 4 インチで足踏みしている一方で、既に量産されている。GaN HEMT の基盤であるシリコンカーバイドの半絶縁性基板は、導体基板を使う光学工業向けではあるが、現時点で 3 インチであり、近日中の 4 インチ化技術を促進している。III-V 族産業は、シリコン装置のインフラに対応したウェハサイズの大口徑化のペースに継続的に追従していく必要がある。

光学リソグラフィの装置が、顕著に進歩しているが、そのマスクの費用は、殆んどが比較的少量生産の III-V 族の使用に対しては手が出せないくらい高価である。直描電子ビームがマスクコストに対する一つの解決策であるが、ウェハの生産性(時間当たりシリコン・ウェハ何枚というのに比べて III-V 族ウェハは1枚につき何時間かかるかだが)が、ハイクレント電子源と高速アライメント・システムによって改善される必要がある。

不幸にも、化合物半導体の再現性と基準歩留りは、シリコンベースの技術に対して遅れをとっている。これは驚くべきことではなく、両者の極めて大きな生産量格差と同じく、シリコンに対する研究及びインフラに対する高額な投資からくるものである。それでもなお、特定の化合物半導体技術での生産量は増えており、シリコンとは同じとは言えないが、習熟曲線に沿ってその単価は下がることが分かってきた。

現在台頭しつつあるワイドバンドギャップの素子については、ここ数年の顕著な品質改善にかかわらず、基板品質がなお問題である。GaN 基板についての研究が継続されているが、当面は SiC 基板が、その欠陥密度が改善されるにつれて、より使えるものになるであろう。もし SiGe がミリ波帯における他のテクノロジーに挑戦しているとしても、高抵抗・低損失のシリコンに取り組む必要がある。

熱損失が、ワイドバンドギャップの III-V 族パワーデバイスにとっての主な課題である。GaN 基板及び SiC 基板は、GaAs や InP に比べてより高い熱伝導特性を有するが、これらのワイドバンドギャップ半導体は、一般的なものより 5~10 倍の高電力密度であり、より高い熱伝導性の利点を幾分相殺する。この事情は、熱損失を素子設計の重要な側面にしている。実績のある技術には、薄い(0.002 インチ=0.05mm)ウェハ、熱の分流、及びバスタブ・バイアスが含まれる。これらの技術は、ダイヤモンド複合材料のようなもっと革新的な解決策と同様に、ワイドバンドギャップ半導体に適用される必要がある。

ミックスシグナル素子、及びハイパワー素子の両者には、高いブレイクダウン電圧が必要とされる。各寸法がより高い周波数動作のために縮小されるにしたがって、動作電圧が犠牲になる。特にこのことは、デジタル機能に対するよりもアナログ機能に対してより大きなダイナミックレンジを必要とするミックスシグナル素子に対して問題である。SiGe により提供される集積度レベルは、InP よりも何オーダーも大きいけれども、この点においては、InP-HBT は SiGe-HBT に対して明らかに勝る利点を提供する。素子を注意深くスケールリングすることと、ワイドバンドギャップのコレクタにより、InP-HBT の破壊電圧レベルを維持することができる。

パワーFETについては、より高い破壊電圧を得るために、ゲートを後退させることが用いられて成功したが、これは GaN にはまだ適用されていない。それよりむしろ、高周波特性は妥協する必要があるが、ゲートにおいてドレイン側の電界を最適化するために電界プレートを使用することが高ブレイクダウン電圧を達成するために有効であると立証されてきた。パッシベーションとホットキャリア効果の継続的改良も必要である。

最後に、III-V 族における高周波動作は、リソグラフィ(水平方向のスケールリング)によると同様に、エピタキシ(垂直方向のスケールリング)によっても高められる。トランспорт層でのキャリア速度と移動性は、エピタキシャル層のスタックを適切に設計することにより調整可能であり、バンドギャップをうまく設計すること通じて III-V 族素子が続けて改良されることが期待される。

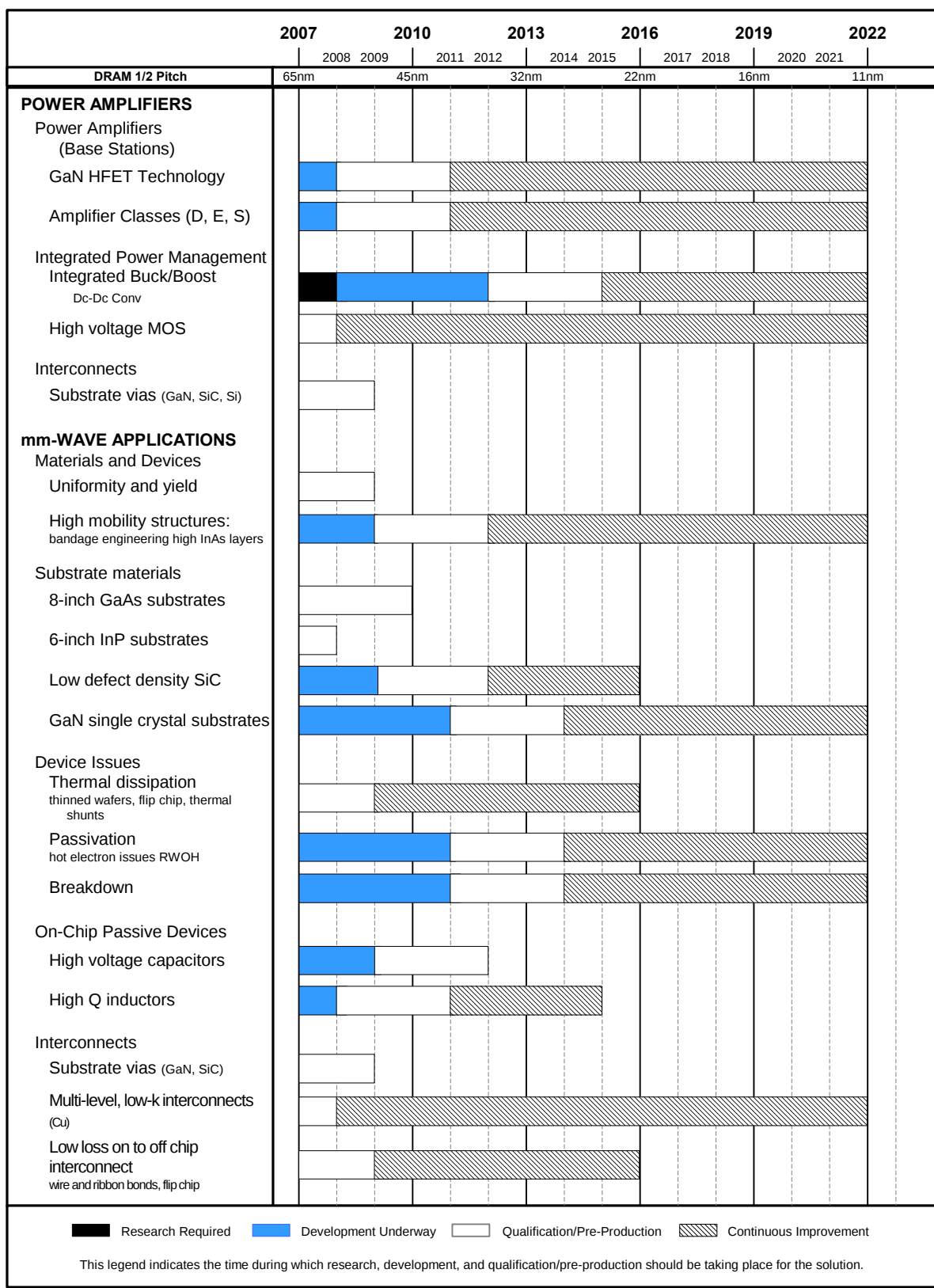


Figure RFAMS3

10–100 GHz Potential Solutions

MORE THAN MOORE

無線通信帯域やサービスが拡大してきている。GSM や CDMA や EDGE や WCDMA といったセルラーの技術規格が、長距離の音声やデータや画像伝送のため開発されてきた。更に、こうした公的な携帯無線規格に加え、IEEE802.11 WLAN や Bluetooth といった、多くの私的な規格が、広く用いられるようになってきている。これらの方式は、搬送波周波数やチャネルの帯域幅や変調方式が異なっている。これらに違いがあることから、産業界では、通信適応性の高いマルチバンド、マルチモードデバイスの開発を進めることとなってきている。既存のシステムで使ってきたデバイスでも、複数の帯域やモードを結ぶことは可能だが、最良の方法は、いわゆるソフトウェア無線 (SDR) である。これは、ハードウェアを置き換える代わりに、変換ソフトにより無線機能を変えるものである。SDR は、あらゆる変調方式や帯域幅や周波数領域の通信チャネルを、一つの無線によりカバーするものである。そのため、マルチバンド、マルチモード動作や再構成可能性が実現できる。

要求されるフレキシビリティを実現するためには、デジタル処理の端を、できるだけアンテナに近づける必要がある。ただし、デジタルからアナログ信号への変換点は、システムのアーキテクチャに依存している。複数の周波数をサポートしようとする要求は、RF フロントエンドと A/D, D/A 変換器の設計を複雑なものにする。RF フロントエンドは、様々な搬送周波数や帯域幅や、その他の異なる仕様に合わせた感度などの要求を満たさなければならない。これには、全ての用いる周波数域をカバーする広い帯域を持った LNA が必要である。A/D, D/A 変換器への要求も、用いられるアーキテクチャに依存する。1995 年の Mitola による SDR の最初の概念は、全ての RF 信号を、同時にデジタル化することを求めたものだった。そのためには、500W の消費電力で、12GHz、12 ビット ADC が必要と考えられたが、あながち非現実的な訳でもなかった。最新のアーキテクチャによる提案では、同時には一つのチャネルを用いることで、より扱い易い低電圧な ADC で出来るようになってきている。

DSP や DAC への要求は、最新のディープサブミクロン CMOS 技術には適したもののように思われる。システム設計と変換器設計と CMOS ロードマップ間で協調することにより、こうした解決策が実現できるようになる。

他のマルチ規格を実現する方法としては、広帯域アンプと低コストスイッチとフィルターのネットワークを混成させる解決策がある。これは、集積したパッケージを実現するため RFMEMS ロードマップや、関連する埋め込み受動素子のロードマップを策定する必要性がでてくる。埋め込み受動素子への要求は、前の受動素子の項で議論している。

無線応用のための RFMEMS

無線通信のための民生用製品市場で、触れる必要のある新探索技術の一つに、MEMS 技術がある。MEMS は、例えばミリ波通信のアンテナの同調では長い実績があり、それ以上にセンサや変換器応用分野で広く知られてきている。大規模で生産されている MEMS の 2 つの例として、テキサスインスツルメントの映像投影機の DLP™ 技術と、今日生産される各々の車の安全装備として用いられるエアバッグのセンサ (アナログデバイスやボッシュといった会社が提供している加速度計) が挙げられる。全ての MEMS 技術に共通の特徴は、可動部を持つことである。しかし、MEMS の製造技術や MEMS を用いることで解決策を実現するアプローチは極めて多岐にわたる状況にある。

2007 年版の RFMEMS ロードマップは、バルク弾性波デバイス (BAW) と共振器とメタル接触スイッチと容量性接触スイッチの 4 つの MEMS 技術に焦点をあてている。このなかで最も成熟しているのが、現在ほとんどのセルフォンで用いている BAW フィルターである。表 RFAMS8 参照のこと。BAW デバイスの特徴は、振動する圧電材と、個別コンポーネントとして用いられていることである。MEMS のダイは、ハンドセットのフィルターや同調器のボードに取り付けられている。無線応用分野で BAW フィルターと MEMS パッケージが広がるには、BAW の自由表面をカプセルで覆う技術が必要であった。このことから、BAW は変換器技術ではなく MEMS とみなされている。BAW フィルターのロードマップ上の課題は、コストの削減 (面積、

厚さ、パッケージング)、性能向上(例えば、より高い周波数での精度や低信号損失)と、無線チップとの集積である。

表の次の項目は、タイミングチップに用いられる共振器である。梘子の構造はエアバックやジャイロ스코ープ分野のセンサでは用いられてきたが、共振器は比較的最近のものである。一つの大きな市場は、シリコンベースの MEMS を用いて水晶発振器の置き換えることである。これによりシリコンのようなスケール効果が期待できる。コストや適応性の改善に加え、性能は水晶素子と同等のため、この置き換えは、近い将来における目標と考えられる。中長期的には、共振器を、CMOS と所与のチップ・同調性能で、マルチ周波数を実現するために必要となる、新しい機能を集積したものになるだろう。このオンチップの集積は、高い競争力を持った価格で達成される必要がある。

表 RFAMS8 中には、容量性接触スイッチとメタル接触スイッチの 2 つのスイッチ応用を示してある。容量性接触スイッチは、2 つの容量状態にある回路や負荷を、機械的に切り替えるものである。これにより、例えば VCO や電気回路構成で、現在使われているスイッチに比べ、リーク電流を低減し、Q ファクタを飛躍的に向上できることが確実である。この大きな特徴は、オフ状態において、容量電極が物理的に分離されているところにある。メタル接触抵抗も同じく 2 つの物理的に分離された電極を持っている。家の壁スイッチと同様に、接触することでオーミックコンタクトになる。2007 年版の MEMS ロードマップの 4 つのなかで、メタル接触スイッチが、最も実現が難しいものと考えられる。これは、スイッチの接触面が莫大な回数の繰り返しに対する安定性が求められることから、主として信頼性への懸念があるからである。さらに、大きさやパッケージングや機能当たりのコストも大きな課題となるだろう。しかし、最高の性能によってこれらを補うかもしれない。

最後に、2007 年版の無線ロードマップでは載せなかったが、他に 2 つの MEMS デバイスについて熟考したことを述べる。それは MEMS ジャイロ스코ープと MEMS マイクロフォンである。これらの製品は今日作られているが、2007 年の無線ロードマップの目標には入ってこないだろう。これらは将来のロードマップで採用が検討されることになる。

RFAMS の技術要求表(表 RFAMS8)では、設計ツールとパッケージングと性能ドライバとコストドライバの 4 つのカテゴリーについて触れている。前に述べた 4 つの MEMS デバイスについて、これらのレビューを行っている。

最初の項の設計ツールでは、無線製品の設計フローのなかで、MEMS の特質を取り入れた汎用の設計ツールについて検討している。ここでは、必要性和設計ツールが使えるようになる好ましい時期を示している。これらを用いることにより、MEMS の技術の有用性を十分に引き出すことができる。既存の設計フローに組み込む MEMS 専門ツールが、比較的未成熟であることは、MEMS を使うことの制約になるとともに、ツールのベンダーにとっては良い機会でもある。

この後の 3 項では、製品化を考えた場合に主要な制約となる、パッケージングと性能とコストについて検討する。MEMS のパッケージングは、歩留まりや信頼性や MEMS のコストについて決定的な要因となるものである。パッケージングへの要求として、MEMS の可動部が動作する空洞を、信頼性が高く密閉したカプセルで覆うことが求められる。現在の無線 MEMS は、ほとんどがボードに付加する単体のコンポーネントであるが、明らかに将来の方向は、VLSI の集積回路と MEMS 構造を統合してゆくことである。表では、集積の 2 つの方式が考えられている。“IC 上乗せ”または標準的なウエハでの製造工程のあとのポストプロセスとして知られるものと、“混載”これは MEMS 構造を標準的なウエハの製造層や製造プロセスのなかで作るものである。

MEMS デバイスの性能は、テーブルの 3 番目の部分に示されている。我々は、MEMS が無線製品に使われるようになる原動力は、性能であるものと予測している。もしそうでなければ、これら MEMS が解決策候補とはならなかつただろう。多くの場合、テーブルに挙げられる性能指数は、前の実績を表すものであるが、民生用の無線産業にとって有用なコストや適合性機能といったものについてここでは示している。一例としてメタル接触スイッチを挙げると、メタル接触スイッチは高性能、高信頼性を現在達成している。しかし、民生用の無線製品として使うには、大きすぎ、また高価過ぎる問題がある。

テーブルの最後の項では、大きな製品市場をもった無線製品に、MEMS が導入されるときのコストドライバーを検討した。パッケージングやテストや信頼性は、画期的な進歩が要求される共通テーマになっている。更に、“IC 上乗せ”や“混載”によるオンチップ集積へのアプローチは、チップ数を減らすことで、システム SoC として材料費を削減できる自明の方策ではあるが、実現はかなり先になりそうである。

Table RFAMS8RF and Analog Mixed-Signal RFMEMS

Year of Production	2007	2008	2009	2010	2011	2012	2013
Design Tools							
BAW	(0) Separate tools	(1) IRFM, (2) CM	(3) DF		DF + MEMS TCAD		
Resonator	(0) Separate tools	(1) IRFM, (2) CM	(3) DF				
Switch—capacitive contact	(0) Separate tools, (2) CM		(1) IRFM	(3) DF			
Switch—metal contact	(0) Separate tools, (2) CM		(1) IRFM	(3) DF			
All MEMS devices		(4) MEMS TCAD	(4) MEMS TCAD				
Packaging							
BAW	Die stacking.	Wafer level package. Micro cavity package.			Above IC integration		
Resonator		Stacked die		Embedded integration with IC			
Switch—capacitive contact		Above IC integration			Embedded integration with IC		
Switch—metal contact		Above IC integration			Embedded integration with IC		
Performance Driver							
BAW	F= 900MHz to 2.5GHz. Size and cost; TCF= -20 ppm/K; K2*Q=100	F= 900MHz to 5GHz. Testability improved. TCF= -5ppm; K2*Q=150		Coupled Resonator Filter (CRF) ≥ increase functionality (e.g., impedance match).		F= 900MHz to 10GHz. Built In Self Test (BIST) structure. Tunable filter? TCF= -1ppm; K2*Q=200	
Resonator	Real time clock (32 kHz)		Clock oscillator (10–100MHz) multi-frequency per die.		Nano resonator for filter function (800MHz–2.5GHz)		
Switch—capacitive contact t		Cellular frontend (tuning): 20:1 tuning ratio, 40V actuation			Cellular frontend (tuning): 30:1 tuning ratio, low-voltage actuation		
Switch—metal contact		Cellular frontend (tuning, T/R): insertion loss <0.3dB, lifetime >1e10 cycles			Cellular frontend (tuning, T/R): insertion loss <0.2dB, lifetime >1e11 cycles		
Cost Driver							
BAW		Die size / package			Integration with semiconductor die		
Resonator	MEMS processing cost		Packaging	Integration with semiconductor die			
Switch—capacitive contact		Processing cost. Die size / microcavity package. Test.			Integration with semiconductor die		
Switch—metal contact		Process cost. Reliability / size / microcavity package. Test.			Integration with semiconductor die		

表 RFAMS8 の注釈:

- (0) Separate Tools—統合されていないメカニカルと RF のシミュレーションツール。パッケージや IC とマニュアルでつなぐ
- (1) IRFM—統合された RF とメカニカル 3D シミュレーションツール
- (2) CM—物理ベースのコンパクトモデル。即ち、簡易版 IRFM.
- (3) DF—設計フロー例えば IRFM を含んだ回路レベルシミュレーション
- (4) MEMS TCAD—3D プロセス工程シミュレーションツール。(デポジション、ラフネス、熱処理、アンダーエッチ等のシミュレーション)

参考文献

1. H. S. Bennett, R. Brederlow, J. Costa, P. Cottrell, M. Huang, A. A. Immorlica, J.-E. Mueller, M. Racanelli, H. Shichijo, C. E. Weitzel, and B. Zhao. “Invited paper, Device and Technology Evolution for Si-Based RF Integrated Circuits: Critical Figures of Merit.” IEEE Transactions on Electron Devices—Special Issue on Integrated Circuit Technologies for RF Circuit Applications, Vol. 52, No. 7, July 2005, pp. 1235–1258.